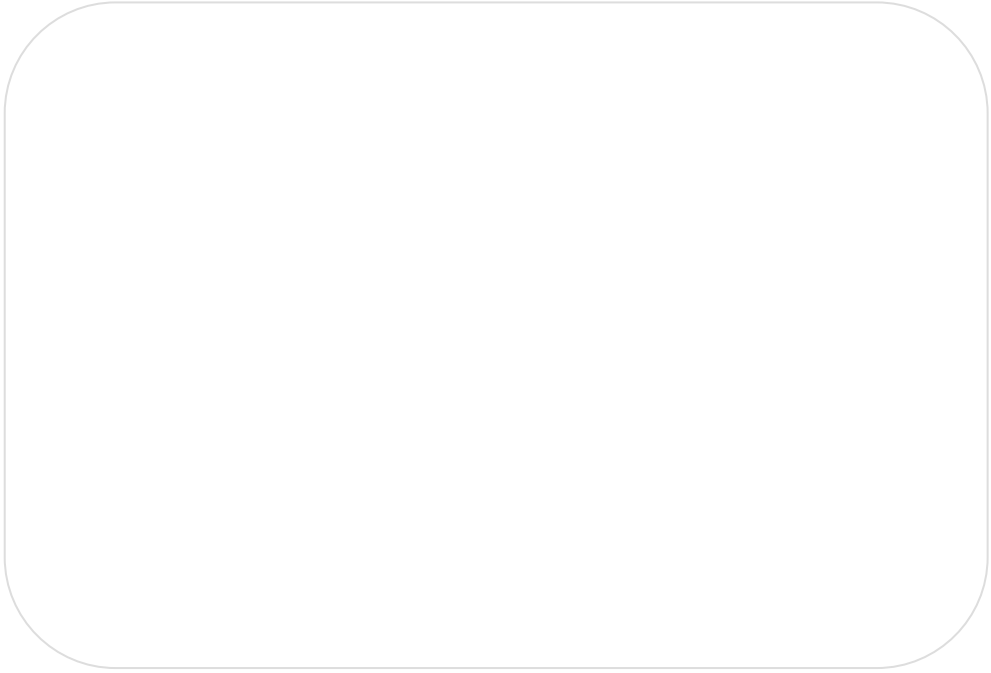




Hitotsubashi University  
Institute of Innovation Research



一橋大学イノベーション研究センター

東京都国立市中2-1  
<http://www.iir.hit-u.ac.jp>



# リソグラフィとITRS<sup>†</sup>

龜山 雅臣

一橋大学イノベーション研究センター 特任教授<sup>‡</sup>

---

<sup>†</sup> [謝辞] 本稿を執筆するきっかけとなったのは、一橋大学イノベーション研究センターの科研費プロジェクト:「産学官連携によるイノベーション過程の研究」に研究担当として参加する機会が与えられたことによる。さらに、同プロジェクト内に設けられた「ITRS 研究会」(中馬宏之教授主催)での議論を通じ、日頃 ITRS に対して感じていたことが熟成され、同センター主催で 2010 年 3 月 24 日に行われた産学官連携ワークショップ「半導体・バイオ産業のイノベーション過程を探る:ロードマッピングとアライアンスの視点から」で「リソグラフィと ITRS」という講演に繋がった。そこでの講演内容をまとめたものが本稿である。本稿を執筆する機会を提供して頂いた一橋大学イノベーション研究センターに深く感謝致しますと共に、本稿完成のためご指導頂いた一橋大学イノベーション研究センター中馬宏之教授に心から御礼申し上げます。また、上記「ITRS 研究会」の議論に参加されているメンバー各位にも御礼申し上げます。

<sup>‡</sup> 現在の所属は(社)日本半導体製造装置協会。講演時の所属は一橋大学イノベーション研究センター特任教授、(社)日本半導体製造装置協会および(株)ニコン。

# リソグラフィとITRS

龜山 雅臣

一橋大学イノベーション研究センター 特任教授

**Abstract:** ITRS<sup>†</sup>のロードマップ活動は社会的に認知され、半導体以外の産業でもロードマップが策定されるようになった。一方で ITRS は Intel ロードマップとも呼ばれることがあり、特定企業に有利とその意義に疑問が持たれた事もあった。本論文では半導体産業が発展し続けるために追求する微細化と ITRS の現状を議論し、微細化を支えるリソグラフィ技術と ITRS のかわりに触れた後、ITRS の半導体産業内での意義、功罪、そして誰がロードマップで利益を得るかを議論した。現在のように寡占化が進んだ半導体素子製造の業界においてロードマップは、技術での不意打ちを避ける手段として、また研究開発費の低減の手段として業界の勝者に有利で、王者の戦略と言える。

## 1. はじめに

半導体集積回路の集積度は 1960 年代初頭の半導体産業の誕生から驚くべき早さで進んできた。その進歩を示す代表的な例として、DRAM (Dynamic Random Access Memory) が 1970 年代初頭に 1k bit DRAM で数千個のトランジスタを集積していたのに対し、現在の最先端の Flash メモリーでは 1,000 億個のトランジスタが集積されようとしている。この間、半導体素子の大きさ(線幅)は1世代(3年間)ごとに 70%に縮小されてきている。この微細化を強力に推進する原動力は、同じものを高い集積度で作ると価格を下げられると言うことや、価格を維持しても良いのならば高集積化により、さらに高機能な素子が提供できるという半導体産業に特有な事情が背景にある。

この様に半導体素子の微細化は驚くべき早さで進み、その成果を社会に還元してきた。微細化による半導体素子の進歩は、現在のパーソナル・コンピュータに初期の電子計算機の能力をはるかに上回る性能を与え、それを個人で手に入れられる価格設定を可能にした。人間の要求には際限がなく限りない快適さを求めこれが新たな技術に対する要求となっている。半導体素子の高機能化と高速化は、価格の低下に伴い半導体素子の新たな市場を作り出し人間の夢を現実のものにしてきた。システムからの高機能化の要求は続き、半導体素子の高集積化、微細化をコスト的にそして技術的に継続させるために国際的な活動が続けられている。

ITRS は半導体素子製造メーカーが中心となり、装置メーカーや材料メーカーなどに技術が必要となる時

---

<sup>†</sup> ITRS: International Technology Roadmap for Semiconductor<sup>1)</sup>。 1990 年代初頭に米国国内向けに米国の半導体素子製造メーカーが、装置・材料メーカーなどに技術が必要となる時期を示す活動として始まった。1997 年から世界中の半導体素子製造メーカーが参加する国際的な活動となり、現在も継続して活動を行っている。1997 年から 2 年毎に ITRS: International Technology Roadmap for Semiconductor XXXX 版を公表し、間の年に Update を行っている。(最新版は 2009 年版)

ITRS の Chair は Intel の Paolo Gargini が最初から務めている。また現在は ITRS を米・欧・日・台・韓の 5 極がサポートする組織になっている。

期を公開したものである。ITRS の“成功”を受けて他の業界でもロードマップが策定され始めている。ロードマップの考え方は半導体素子の微細化を推進する手段として、ある意味で世の中に受け入れられた。しかし、その効果と弊害の議論が十分になされていないと見え、ここで議論したい。また最大の受益者が誰かを考えてみたい。

## 2. 半導体素子の微細化

図 1 は著者が 1993 年の Photopolymer Conference でのプレゼンテーションに用いたもので、トランジスタの微細化を示したものである。トランジスタの構造を示した図をパソコン上で縮小し、印刷し張り合わせて作成したものである。当時のトランジスタのゲート長は最先端でも  $0.5 \mu m$  程度であった。この図で示されている断面は、同様な手法で示されているが、ここにあるような奥行きのある表示は少ない。

1M DRAM  $1.2 \mu m$  とあるが、この寸法が示す時代は 1985 年前後となる。現在 2010 年であるが、トランジスタの寸法はここに示した 256M DRAM の  $0.25 \mu m$  より 1 桁小さい  $35nm$  前後になっている。

ここに示したトランジスタの構造は、MOSFET であり、ソース、ドレイン、ゲートの構成を持ち、ゲート幅が  $1.2 \mu m$  の時代と  $35nm$  の現在でも細かい所を除くとほぼ同じである。時代の進歩でこの間に若干変わったのは、素子分離、ゲート部分の構成、配線部分の取り回しの部分だけである。

理解を容易にするため図 1 を使用したが、図 1 は厳密には正しくない。図 1 では素子の微細化が X 方向にしか適用されていない。現実には素子の微細化は図 2 のように X, Y, Z 方向のいずれの方向にも同じように適用される。図 2 の方が正しいのだが、理解し易い様に、図 1 のような描き方がされることが多い。

### 2-1. 半導体素子と微細化

図 2 は半導体素子の微細化の難しさも示唆している。X 方向あるいは奥行き方向の Y 方向は X 方向と同じであるため、小さくなくても特に違和感を生じないが、問題は厚み方向の Z 方向にある。

図 2 のゲートと書かれている部分の直下に薄い膜が示されているが、ゲート酸化膜と呼ばれている部分で、トランジスタの中でも最も敏感で重要な部分である。ゲート幅が  $1.2 \mu m$  の時代でも非常に薄い膜で構成されていたが、例えば直近のゲート幅が  $65nm$  の時代ではその厚さを  $1.2nm$  とか  $1.0nm$  にすることが要求される。この厚さは、 $SiO_2$  を用いると分子で 3~4 個分にしかならない。この様に非常に薄い膜を実際を使用するためには、分子数個の厚さでもピンホールを生じさせない成膜技術とか、薄くても電気の絶縁性能を維持する等、半導体素子を成立させるための基本的要求を満

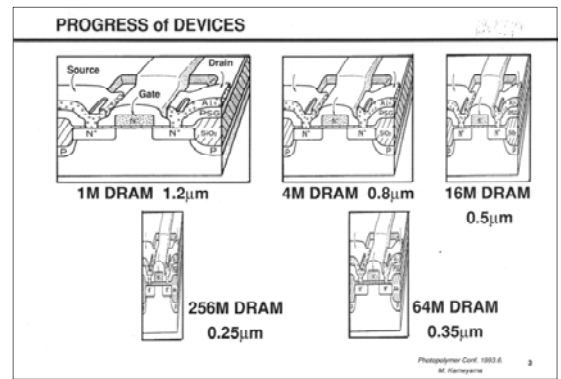


図 1. 半導体素子の微細化(概念図)<sup>2)</sup>

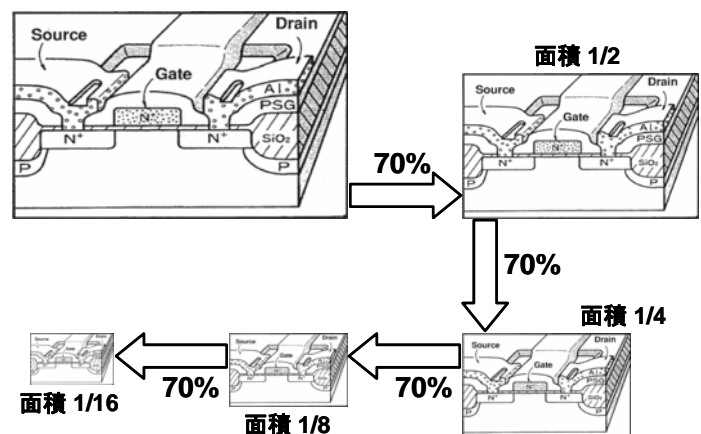


図 2. 半導体素子の微細化

たすことが要求される。言い換えると、微細化によりディメンションが小さくなることで新たな技術的課題が生じるとも言える。

少し横道にそれだが、図 2 に示したようにトランジスタを 3 年で 70% の大きさになるように作ることで半導体産業は進化してきた。何故小さく作ることを半導体産業が追求したかを、この後に述べる。

CMOS トランジスタの微細化と効果に関する理論的研究は昔から盛んに行われている。Dennard 等が 1974 年にトランジスタのスケールリング(微細化)の論文を著している<sup>3)</sup>。図 3 は彼が 1984 年に書いた論文から引用したものである。

図 3 にあるトランジスタの SEM 断面写真は、写真を単に縮小したものだが、スケールリングとはまさしくこのことなのである。ここでは Gate を  $\alpha$  だけ小さくすると tx(ゲート酸化膜厚)も、W(配線の幅)も、V(電圧)も何もかも  $\alpha$  だけ小さくする必要があることを示していて、このような条件の下で小さくすると、トランジスタのスピードが高速になり、消費電力が小さくなることが示されている。

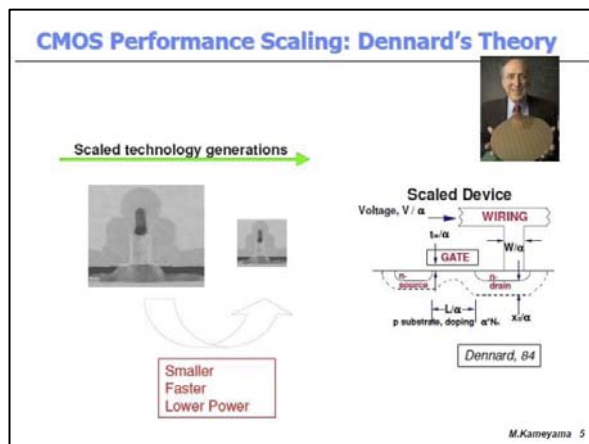


図 3. トランジスタのスケールリング<sup>3)</sup>

## 2-2. 微細化の追求：安く作る

半導体産業が微細化を追求する理由は、勿論メリットが生じるからである。一枚のウェハにプロセスを加え加工する費用は、プロセス工程数が大きく変わらない限りあまり大きく変わらない。同じ種類のメモリーや、特定の Logic デバイスを作るコストは、トランジスタを大きく作ろうが小さく作ろうが、ウェハ1枚の処理コストは大して変わらない。

図 4 の上の図は線幅を半分にすると、チップの面積が 1/4 になることを示している。言い方を変えると線幅を半分にすると1枚のウェハから4倍のチップが取れることを示している。ウェハ 1 枚のプロセスコスト(加工費用)が同じなら、小さく作ることによって原価が 1/4 になることを示している。

正確にチップの数を数えると、4 倍以上のチップが取れるが、これは欠けたチップ(動作しない)の数による。チップが小さくなると半欠けのチップが占める個数が少なくなることによる。

もう一つの理由に歩留まりがある。ウェハの中に、例えば結晶欠陥に起因する不良なチップが 1 枚あたり 20 チップ有ったと仮定する。図 4 の下の図に“点”として結晶欠陥が示されている。この結晶欠陥は面積として非常に小さいが致命的な欠陥で、結晶欠陥が存在するとそのチップは動かず、不良品となる。欠陥の面積は非常に小さく、チップを小さくしても、動かないチップの数は同じ 20 チップとなる。歩留まりは  $(N-20)/N$  から  $(4N+\alpha-20)/(4N+\alpha)$  に向上する。 $\alpha$  はウェハ周辺の欠けチップ数の向上分を示している。

現実には線幅を小さくすると作るのが難しくなり製造コストが上昇するが、製造コストの上昇分と小さく作ることの損得の比較から、小さくすることに大きなメリットが認められた。すなわち、単純に微細化す

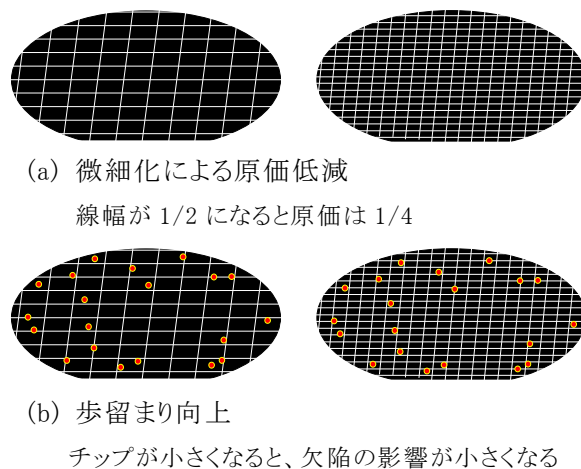


図 4. 微細化による原価低減

るだけで価格競争力が得られることから、各社は一斉に微細化を追求した。その結果、小さく作るための装置であるリソグラフィ装置は、装置価格が多少高価でも、生産性が高ければ確実に原価を下げられることから、非常に高価な装置であるにもかかわらず半導体素子製造メーカに受け入れられた。

### 2-3. 微細化の歴史とトランジスタの性能向上

図 5 に微細化によるトランジスタの性能向上の歴史を示した。トランジスタの線幅は図 5 に示すように 1970 年代の初頭から 2000 年代の初めにかけて、10 ミクロンから 130nm の約 1/100 になっている。この間のトランジスタの処理速度を示す周波数は 1M から 2GHz に 2000 倍向上している。回路設計とかトランジスタの構造の変化などの要因も勿論あるが、小さく作ることによるトランジスタの性能向上が周波数向上の大きな部分を占める。

The following table illustrates performance increase as linewidths shrink.

Year	Linewidth	Clockspeed
Beginning of 1970s	10 μm	1 MHz
End of 1970s	3 μm	5 MHz
Beginning of 1980s	2 μm	20 MHz
End of 1980s	0.8 μm	50 MHz
Beginning of 1990s	0.5 μm	100 MHz
End of 1990s	0.25 μm	750 MHz
Beginning of 2000s	0.13 μm	2 GHz

Table shows typical linewidths and clock speeds versus year.

図 5. 微細化とトランジスタ性能の向上<sup>4)</sup>

図 6 にはマイクロプロセッサの歴史が示されており、マイクロプロセッサが何個のトランジスタで構成されるかを示した。世界で最初のマイクロプロセッサは Intel の 4004 だが、わずか 2,250 個のトランジスタで構成されていた。1978 年の 8086 でパーソナル・コンピュータが使えるレベルに到達したが、トランジスタ数は 29,000 個であった。1985 年の 386 では 275,000 個まで増加し、さらに 1993 年の Pentium では 3,100,000 個になった。2000 年の Pentium 4 ではトランジスタの数はさらに 1 桁増加している。この間

### Transistor count

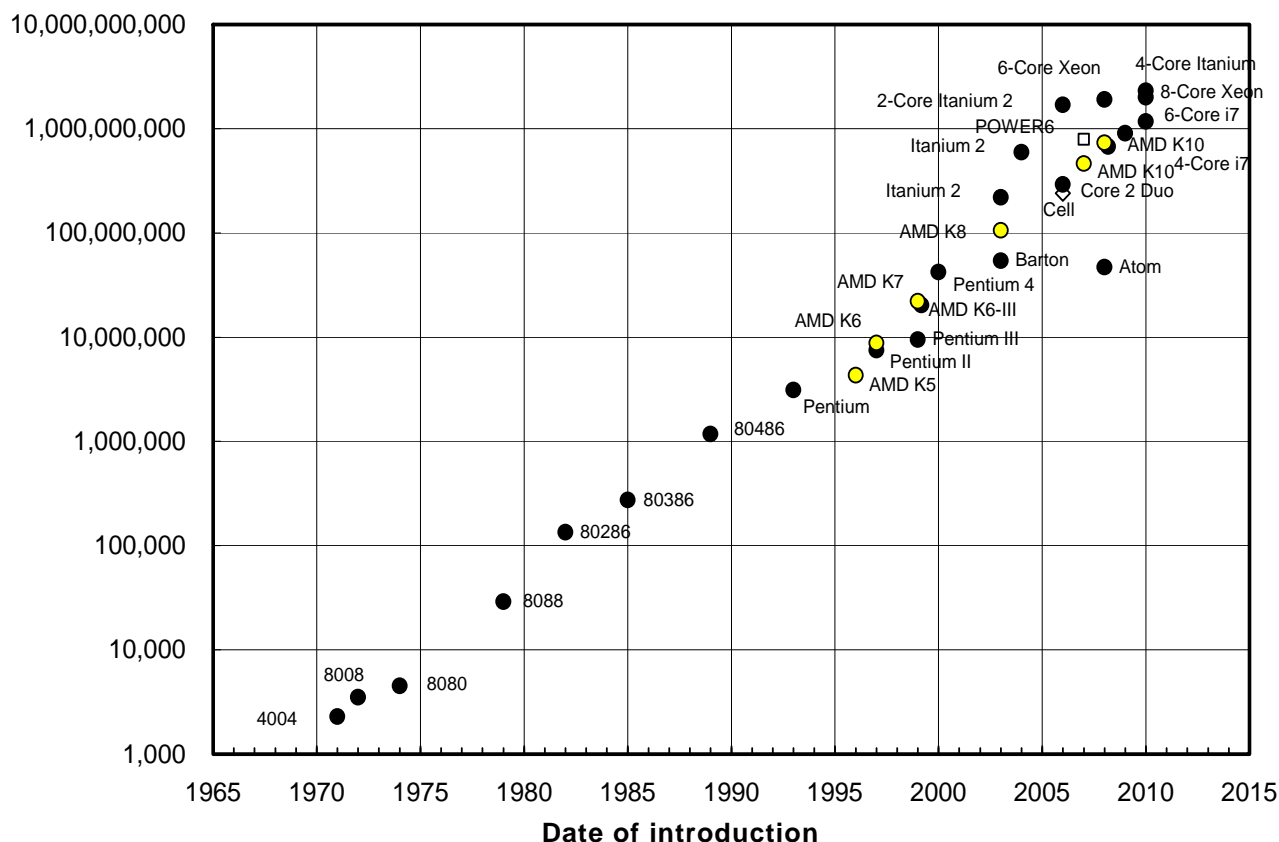


図 6. CPU 上のトランジスタ数の変遷<sup>5)</sup>

Transistor counts for integrated circuits plotted against their dates of introduction. The curve shows Moore's law - the doubling of transistor counts every two years.

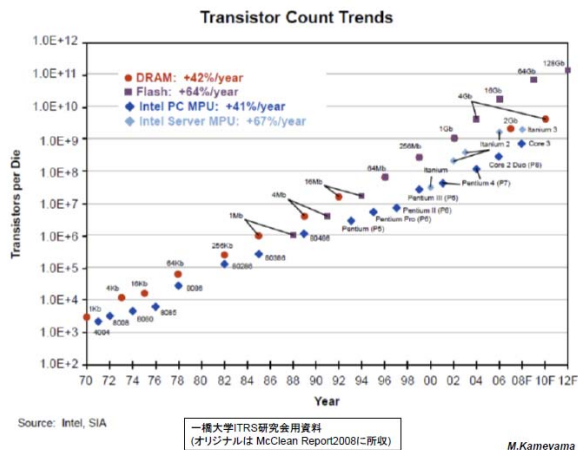


図 7. チップ上のトランジスタ数<sup>6)</sup>

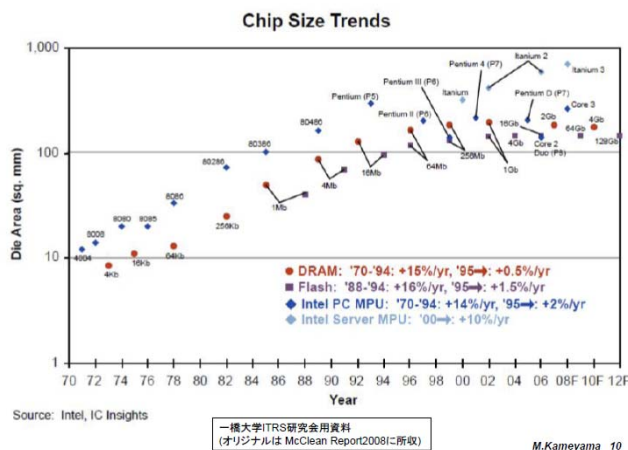


図 8. チップ面積の推移<sup>6)</sup>

にパソコンの機能と性能は使いきれないほど多くなり、速くなり、いろいろなことが出来る様になったのは周知のことである。

図 6 のデータは CPU が中心なので、図 7 にメモリーを加えたデータを示す。2010 年の Itanium 3 では  $2 \times 10^9$  個(2,000,000,000 個、20 億)のトランジスタが集積されている。このグラフには Flash Memory のトランジスタ数も含まれているが、2010 年中に  $10^{11}$  個(1,000 億個)になると予想されている。Flash はメモリーデバイスで繰り返しの多い単純な構造を持っており、設計は楽だと言われているが、なんと 1,000 億個のトランジスタを一つのチップの上に集積しているのは脅威である。

トランジスタを数多く集積しても、チップの大きさが大きくなっては意味がない。以前にも説明したが、同じ品種であればチップの大きさはほぼ原価を表す。例えば Flash では、図 7 でトランジスタ数は 2.5 桁増えているが、図 8 に示すように過去十年チップサイズが 130-150mm<sup>2</sup> で変わっていない。乱暴な言い方をすれば、Flash は 10 年間値段を変えずに容量を 500 倍にしたことになる。2000 年に 8M の USB メモリーを買う値段で、今 2010 年には 4G の USB メモリーが入手可能なことを意味する。おおよそその議論/実感と合っていると考える。

ムーアの法則<sup>†</sup>と呼ばれるものが知られている。図 7 では、DRAM と Intel PC MPU のトランジスタの集積度の向上はムーアが予測したほぼ 1.4 倍/年で推移している。ムーアの法則<sup>7)</sup>は発表当時には 10 年程度の時間軸を考えていた。しかし予想以上の期間、40 年以上もこの経験則(ある時点までは予測だった)が成立したのは、業界全体がこの法則が維持できるように微細化と集積度向上の努力を行った結果である。上流に当たるパーソナル・コンピュータ等の最終製品の市場を発展させ、新規市場の開発を進めることに成功し、業界として大きな市場を創造するのに成功した。ロードマップと呼ばれる活動がその努力の一つの形態であることは間違いない。

<sup>†</sup> Moore's Law<sup>7)</sup>: トランジスタの集積度は 2 年ごとに倍になる。

The complexity for minimum component costs has increased at a rate of roughly a factor of two per year... Certainly over the short term this rate can be expected to continue, if not to increase. Over the longer term, the rate of increase is a bit more uncertain, although there is no reason to believe it will not remain nearly constant for at least 10 years. That means by 1975, the number of components per integrated circuit for minimum cost will be 65,000. I believe that such a large circuit can be built on a single wafer.

「部品あたりのコストが最小になるような複雑さは、毎年およそ 2 倍の割合で増大してきた。短期的には、この増加率が上昇しないまでも、現状を維持することは確実である。より長期的には、増加率はやや不確実であるとはいえ、少なくとも今後 10 年間ほぼ一定の率を保てないと信ずべき理由は無い。すなわち、1975 年までには、最小コストで得られる集積回路の部品数は 65,000 に達するであろう。私は、それほどにも大規模な回路が 1 個のウェハ上に構築できるようになると信じている。」



#### 2-4. 産業としての半導体素子の微細化

繰り返しとなるが、ムーアの法則を支え現実のものにしたのはデバイスケーシング、微細化即ちトランジスタを小さく作る技術である。目的と結果が非常に明確なケースである。図 9 に示すように、小さく作ることによりトランジスタ 1 個あるいは回路のコストが下がり、多くのトランジスタを詰め込む(使う)ことが可能になり、あらゆる回路設計に対応可能になり、結果としてアプリケーションが大きく広がる。さらに性能が向上し処理スピードも速くなった。一連の動きが繰り返しポジティブスパイラルに入り、良い方向に進み、結果として市場が大きくなった。小さく作るためにリソグラフィ技術が進化し頑張ると、リソグラフィのコストが多少掛かっても、微細化の効果がコストを吸収し業界を発展させることが出来た。

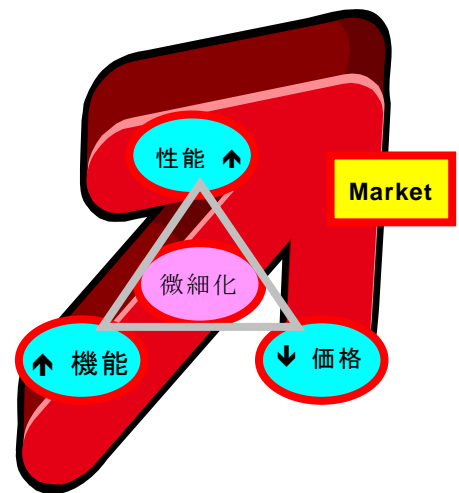


図 9. 微細化と市場拡大

#### 2-5. 半導体素子の微細化とリソグラフィ

半導体素子の微細化を支えるのはリソグラフィ技術である。図 10 に最先端半導体素子の微細化の歴史を示した。縦軸は半導体素子の線幅(寸法)である。黒いマルはその時々々の半導体素子の“最小寸法”、半導体素子を設計する時の一番小さい線幅を示している。1970 年から 2010 年までの実績で 3 年ごとに素子の最小寸法は少なくとも 0.7 倍になっているが、これは先ほど述べたムーアの法則そのものである。また、2010 年以降も 3 年ごとに 0.7 倍という微細化を続けようという業界の意思が示されている。

色のついたマルはリソグラフィ技術の中で半導体用露光装置といわれる、回路パターンを焼き付けるための装置の、その時々々の解像力仕様を示している。その時に要求される半導体素子の線幅をぎりぎり上回る解像力が常に提供されている。マルの色の違いは、解像力を向上させるために波長が変わったことを示している。時代が進むにつれ、露光にはどんどん短い波長が使用されている。初期には

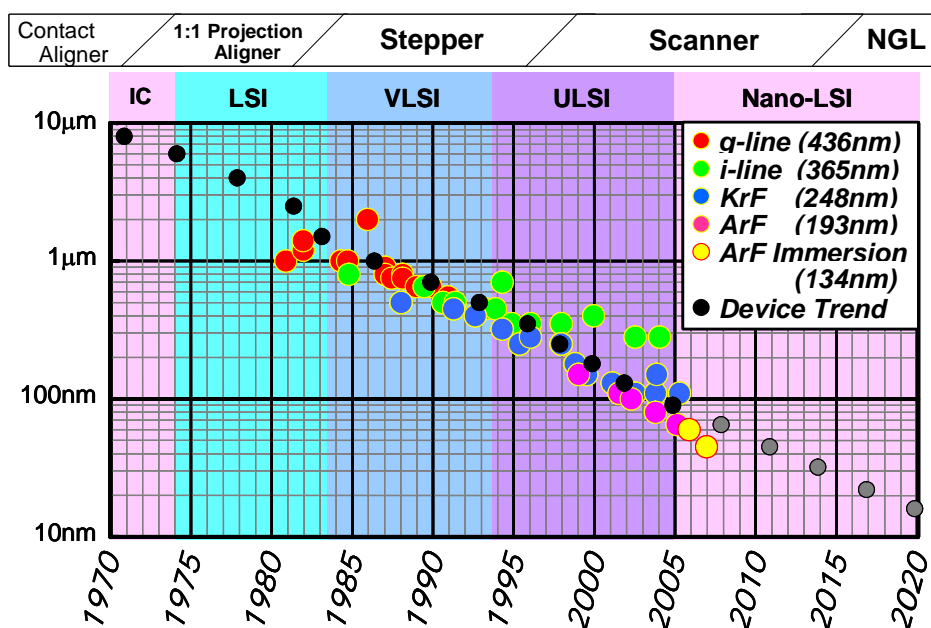


図 10. 半導体素子の微細化と露光機の解像性能<sup>8)</sup>

436nm の g 線が使用されたが、現在では換算波長で 134nm となる ArF 液浸が使われている。

1980 年初頭に露光装置(ステッパー)の値段は 1 億円台であったが、最先端の露光装置(ArF 液浸スキャナ)ではその価格が 50 億円前後にもなっている。Post 液浸として 4 章以降で改めて議論するが、数年後には EUV と呼ばれる 100 億円/1 台を越すと予想される露光装置を使用するリソグラフィ技術が、実使用を前提に世界中のコラボレーションを受けながら検討されている。

現在のレンズの解像力は光で理論的に計算される物理の限界に迫り、装置の機械精度では 2nm、3nm の精度を達成する所まで来ている。図 10 には示されていないが、露光装置は精度を保ちながら 1980 年初頭に比較して生産性を少なくとも 3 桁向上している。

## 2-6. 微細化の進行と困難さの増大

半導体素子の微細化を試みると、具体的にはその時々で種々の問題が生じる。例えば、石英で作られた絶縁膜を薄くする必要が生じるが、薄くしすぎて電気を絶縁するのが難しくなる。薄くしたため、距離が近くなり過ぎ、電気の On/Off が不完全となり、電流が漏れ、発熱する。配線が細くなり過ぎ、必要な電流量を流せない。配線同士が近接し、配線を通れる信号が隣の配線を通れる信号に影響を与え問題を生じさせる、等々。技術的な問題が生じる時期は、微細化の進み方で決まるが、予想は可能である。(何故なら、ロードマップは必要時期を明記している。) その時期までに問題点を克服するための、新しい技術が提案されなければならない。もしくは、技術的な解決策が見つからない時には、その問題を回避する別の方法を探すことになる。

半導体を作る技術であるが、産業の初期のころ、すなわち半導体素子の集積度が大きくなく、微細化も進んでいないころ、多くの問題は例えば個人の工夫のレベルで、あるいは個人の力や一つの企業の研究所の中で解決され、ノウハウとして蓄積されてきた。言い換えると、個々の半導体製造会社は会社の中で抱え込んで技術の開発を行い、また行うことが可能だった。その当時は、研究開発の規模が会社の中で完結する大きさでしかなかった。

ところが、微細化が進行し、半導体素子技術の限界が囁かれる現在では、問題とは物理の限界に近い所で生じる難しさであり、材料の本質的な性質に起因する問題で、解決のためには新しい材料の発見や導入、新規の発想の導入が必要になっている。現在、より小さな半導体素子の開発を継続するには、膨大な研究資金と、膨大な数の研究者と、時間が必要で、さらに研究開発に成功できないリスクが常に存在する。有るか無いか分からない新しい材料の開発を延々と進めなければならないリスクを想像すれば理解しやすくなる。過去の成功で大会社となっている半導体素子製造関連の企業でも、失敗の可能性がかなり有る研究に、成功の確率が計算できない研究ともいえるが、膨大な資金を投入することは、単独では困難である。

## 2-7. 微細化継続のために必要なリスクの低減

半導体産業は歴史的に微細化を追求し、微細化を継続することで産業を育成してきたのはここまで述べて来たとおりである。半導体素子製造メーカは微細化を迫及した素子製造のため、複数の研究や手法を平行して開発し、それぞれを競わせることをリスク軽減のため行ってきた。言い方を変えると、各社は量産開始のぎりぎりまで複数の研究開発を継続し、量産移行或いは量産投資の直前に量産の立場から技術の選択を行うことを繰り返してきた。この手法は半導体産業の初期において、技術開発費がそれほど必要でなかった時期には各社単独で、技術開発費が膨大となった現在でもコンソーシアムを組み研究開発費の軽減を謳いながらも共同で続けられている。単独の会社で開発が可能であった業界の初期に於いても、開発初期の一つの技術を選択しそれに賭けるような手法は、賭けに外れた時にすべてを失うことを意味することから採用されていなかった。現在のように将来技術がコンソーシアムで行われるようになって、業界として一つの将来技術を選び、業界として開発をその技

術に注力することは注意深く避けられている。半導体産業は必ず二つ以上の技術開発が進められ、微細化が中断しないようにバランスを取っている。

半導体産業の初期から、半導体素子製造メーカーのプロセス開発担当者は量産移行時の製造技術の選択肢を増やすことに注力している。しかし過去から現在をみても、同一時期の各社のプロセス技術選択が異なることは殆ど無く、同じ技術が選択されてきた。リスク回避の為、多少の生産性の欠如や技術リスクを無視し、本命が失敗した時のための選択肢を準備する開発が行われてきたと見れば、本命が採用される(各社が同じものを選択する)のが理解できる。

2-6章で述べ、さらに5章以降で詳細に議論するが、現在では開発投資が巨額となり、半導体素子製造メーカーは一社では同じ戦略での研究開発の継続が困難となっている。このため、研究コンソーシアムでの共同研究を含め、開発の歩調を合わせ、開発リスクの低減(失敗する時は、全員が失敗する。)や、開発資金の節約を行いながら重複開発を継続する手段が必要となった。世界中の研究開発を同期させるのに有用な手法となったのがロードマップとも考えられる。

### 3. ITRS

半導体素子製造メーカーが集り議論を行い、その結果を2年ごとにITRS(International Technology Roadmap for Semiconductor)というロードマップとして発表している。この活動は1992年に米国国内のロードマップとして始まった。発足当時はSIA<sup>†</sup>の活動の一部でNTRS(National Technology Roadmap for Semiconductor)と称し、米国の半導体産業の再生(競争力の回復)と、米国政府の政策へのインプットを目標とする、米国の米国による米国のための活動であったが、後に国際的なものに発展した。技術的には3年ごとに線幅が0.7倍となる半導体素子を作るために何をすれば良いか、そしてどのような装置性能が必要かをまとめたもので、半導体素子製造メーカーが装置メーカーや材料メーカーに何が必要かを示したWish Mapである。

ロードマップの目的は図11に示されているが、半導体産業の遅滞無い発展を目的とした、ターゲットの設定を行っている。ここで言う、半導体産業の遅滞無い発展とはムーアの法則(Moore's Law)で3年/1世代の微細化の進展を維持することを意味している。ITRSはデバイスメーカーの半導体素子製造技術の将来要求の総意をまとめたものである。要求の背景ではマーケットとして上位に位置しているEnd ProductsのRoadmap(NEMI<sup>9)</sup>)とも連携しており、その目標設定に反映されていると言われている。

1. 目的は半導体産業の遅滞無い発展を目的とした、ターゲットの設定。  
→ Moore's Law, 3年/1世代の維持
2. 半導体素子製造メーカーの"Wish Map"
3. デバイスの目標設定は、上位のEnd Productsとも連携している。  
→ NEMI Roadmap

図11. ITRSの位置づけ

#### 3-1. ITRSの活動と組織

ITRSの組織と仕組みであるが、ITRSはロードマップを作るための組織で、図12に示すような組織となっている。ITRSをコントロールしているのはIRC: International Roadmap Committeeであり、米欧日韓台の5極の代表が集まりIRCを構成している。IRCの下にORTC: Overall Roadmap Technology Characteristicsが有り、世界中の最先端の半導体素子を分析し、ReportをまとめIRCに提出する。ORTCはIRCにのみ責任を持つ。ORTCのReportの内容にはデバイスの最小寸法を含む性能がまとめられているが、これは半導体素子製造メーカー各社がWeb、新聞等や学会などに発表した数値を

<sup>†</sup> SIA: Semiconductor Industry Association (USA). <http://www.sia-online.org/>

基にしている。IRC は ORTC の報告を基に、現在の半導体素子の実力を認定し、現在の実力が認定されるとムーアの法則に従いデバイスの線幅と開発される年が自動的に計算される。また IRC はロードマップの活動方針を決定する。

IRC の下に 16 の ITWG: International Technology Working Group が組織され、技術的な検討を行う。それぞれの ITWG には 5 極から専門家が参加し議論に参加する。ITWG にまたがる課題は Cross Cut と呼ばれる関係 ITWG が参加する会議が設定され、そこで議論することによりすり合わせ、必要な結論を導く。

### 3-2. ITRS の作成手順

現在は、DRAM、Flash、CPU、Logic のそれぞれに対し、何月何日に何々新聞に某社が、例えば 32nm の DRAM の生産開始を発表した等々の公表された情報を集め、ORTC が基礎となる情報にまとめる。IRC の議論は簡単でこの ORTC の数値を元にして、今の実力(線幅)を米・応・日・台・韓の 5 極で議論し、合意して認定する。

次に、現在の実力(線幅)に対して何年にはどのくらいの線幅のデバイスを作るかと言う数値を作るが、これは単純な計算で現在の線幅に対して単に 3 年後に線幅が 0.7 倍になるような数値を与えて計算した結果である。3 年で線幅が 0.7 倍になるのはムーアの法則そのものである。3 年で 0.7 倍になるのが向こう 15 年間続くとして計算し、15 年分の要求値を作る。

重要なことなので繰り返すと、IRC は現在の実力、その年の半導体素子の実力として認められた寸法(線幅)を、認定するだけである。数値が決まるとムーアの法則(3 年で 0.7 倍の微細化)に従い、向こう 15 年間の数値を自動的に計算してロードマップとする。

この数値(微細化)を達成するために、或いはその(微細化が達成されるべき)時代に何が必要かの議論をその下の ITWG: International Technology Working Group で始める。ITWG には 5 極の代表者が集まるが、建前としては各極に ITWG に対応する TWG: Technical Working Group があり、サポートしている。現実には寡占化が進み、韓国や台湾では Samsung や TSMC の意見がそのまま各極の意見として通用している。日本ではデバイスメーカーの集まりである JEITA<sup>†</sup>に STRJ<sup>‡</sup>という組織があり、ITWG にそれぞれ対応する WG を持ち ITRS と協調した活動を行っている。

### 3-3. ITRS と微細化

ITRS では IRC から各 ITWG に対して、繰り返しとなるが、半導体素子の線幅とそれを作りたい時期だけが提示される。

リソグラフィ ITWG へ示される要求を例にとると、これは必要な解像力と時期を示しているのと同じで、

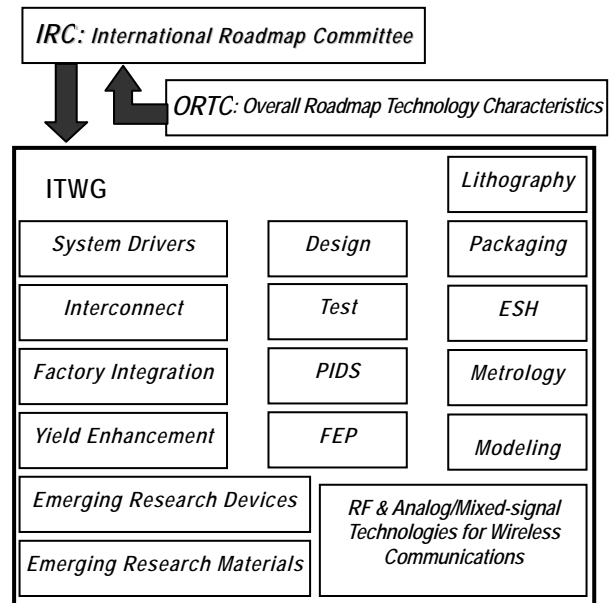


図 12. ITRS の組織

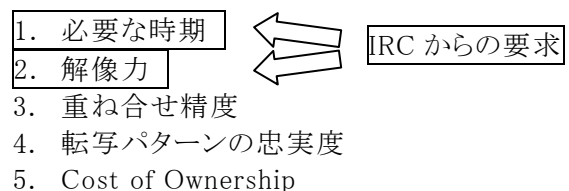


図 13. リソグラフィへの要求

<sup>†</sup>社団法人 電子情報技術産業協会、(JEITA: Japan Electronics and Information Technology Industries Association)

<sup>‡</sup>半導体技術ロードマップ専門委員会、(STRJ: Semiconductor Technology Roadmap Committee of Japan)

図 13 に示すように非常にシンプルな要求である。要求はこの時期にこの寸法を解像したい、それだけである。これに対して ITWG 内部で議論を重ね、リソグラフィのどの手法を使う可能性があるか。その時の課題と問題点は何か。インフラは大丈夫か、そしてその整備に何か問題があるか、使用する材料やインフラに何か問題や懸念はないか。課題があればそれらを問題の大きさの順にまとめ分析してロードマップに記述して、ロードマップを作る。

解像力が示されると、過去の経験から Overlay と呼ばれる重ね合わせの精度の最低要求値が線幅の 1/3 であることが分かっているので、計算で重ね合わせ精度の要求値を作る。(1/3 は Logic の要求で、後述するが DRAM ではもっと厳しい数値が要求されている。) 同じようにリソグラフィに要求される数値化できるものは、過去の経験からほとんど自動的に示される。数値化できない要求も過去の経験から予測は出来る。

経験的に或いは物理的に従来の方法では解像力が満足出来なくなると、次はどの方法を取るかの議論が始まる。

同様のことが他の ITWG でも行われる。例えば FEP: Front End Process ITWG では微細化が進行すると、そのサイズでのトランジスタの性能を最大とするゲート酸化膜の厚さが理論的に求まるが、微細化が進行するとゲート酸化膜の最適膜厚が薄くなりすぎて、現実的でなくなる。この時期(トランジスタの小ささがある大きさに達した時)に新しい材料を導入する必要が出て来るので、ロードマップは業界に対して問題提起を行う。ロードマップの ITWG のメンバーはその分野の専門家で構成されているので、問題提起は業界の中でそれなりの重みを持って受け止められる。

### 3-4. ロードマップの加速

IRC で合意が得られた時点で過去の IRC の結論を振り返り検証する。その時に、予想よりも早い時期に微細化の進んだ素子が世の中に出荷されていることが示されると、ロードマップが加速されたという言い方をする。半導体素子の微細化で 0.7 倍になるのを 1 世代と呼ぶことがあり、1 世代/3 年がムーアの法則の一般的な進歩であるが、1 世代/2 年とか 2.5 年であれば加速していると表現される。

図 14 はロードマップの編集世代ごとの解像力と要求のタイミングをまとめたものである。1994 年版の

## Transition of ITRS Roadmap

Year	(nm)	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013
Technology Node Update		130			90			65			45			32
SIA 1994 Edition	Generation	180			130			100			70			50
	MPU Half Pitch	230			160			115			80			55
	Gate Length	140			100			70			50			30
SIA 1997 Edition	DRAM Half Pitch	150		130			100			70			50	
	MPU Half Pitch	180		160			115			80			55	
	Gate Length	120		100			70			50			30	
ITRS 1999 Edition	DRAM Half Pitch		130			100			70			50		
	MPU Half Pitch		160			115			80			55		
	Gate Length		85-90			65			45			30-32		
ITRS 2000 Edition	DRAM Half Pitch	130	115	100	90	80	70	65	60	50	45	40	37	33
	MPU/SoC Half Pitch	150	130	115	100	90	80	70			50			35
	Gate Length	80	70	60	55	50	40				28			20
ITRS2001 ITRS2002 Edition	DRAM Half Pitch	130	115	100	90	80	70	65	60	50	45	40	35	32
	MPU/SoC Half Pitch	150	130	107	90	80	70	65	60	50	45	40	35	32
	SoC Gate resist	130	107	90	75	65	53	45	40	35	32	30	25	22
	SoC Gate Length	90	75	65	53	45	37	32	30	25	22	20	18	16
	MPU Gate resist	90	75	65	53	45	40	35	32	30	25	22	20	18
MPU Gate Length	65	53	45	37	32	28	25	22	20	18	16	15	13	

図 14. ロードマップの加速<sup>10)</sup>

ロードマップでは 2004 年に 130nm と示されていたが、次の 1997 年版では 1 年早い 2003 年/130nm に前倒しになり、1999 年版のロードマップではさらに 1 年早い 2002 年/130nm になった。さらに 2000 年 Update 版ではそれよりもさらに 1 年早い 2001 年/130nm と加速された。

2-2 章で述べたが、小さく作ることが可能になれば、より安い原価で作れるようになったことを意味する。市場での半導体素子の価格は、同じ性能であれば売値はほぼ同じである。他社よりも小さく作ることが可能であれば、原価が下がり利潤が増加する。小さく作ると儲かるので、各社は価格競争力確保のため、微細化を競うようになる。さらに 2-3 章で述べたように、微細化すると同じものを作っても、性能が向上しさらに競争力が増す。相手よりも 3 ヶ月でも半年でも、一歩でも早く、可能な限り(製造技術や製造装置の性能が追従できる限り)小さく作る(微細化)ことを競い、微細化はさらに加速されるようになる。

### 3-5 ロードマップの加速の弊害

130nm では加速は 3 年でまだ比較的良い方である。2010 年前後の 70 nm の推移を見てみると 5 年早くなっている。この間に装置メーカーは自分のところで蓄えていた技術を開発のサイクルが早くなったことに対応するため、ほとんど全部搾り取られている。これは半導体製造装置業界全体に当てはまる。また、このようにサイクルが速くなると製品の新規投入のサイクルもどんどん速くなる。

例えばリソグラフィでは、最先端の半導体素子を露光するには解像力が要求されるが、すぐに解像力が不足し、新しいより解像力の高い装置が要求されることになる。1985 年前後には、1 機種で 1,000 台以上売った装置のシリーズがあった。しかし、最近では装置の生産性が大幅に向上し、ワールドワイドのマーケットも、年間で 500 台を切って 300 台、2009 年には 200 台程度に低下した。このようなマーケットの状況においても、新規装置が定常的に求められ、製品寿命は極端に短く成っている。最近では 1 機種の生涯累計生産台数が 100 台にも届かなくなっている。露光装置の要求性能は年々高くなり膨大な開発資金が必要となる一方で、生涯累計生産台数が減り、開発費の償却が問題となる。この結果、装置の価格は高騰し、販売のリスクは増大する。一方で生産性の向上も含めての市場環境が変わり、新製品の成否、需要に即応する供給体制、次世代装置の開発、次世代デバイスの開発段階から対応することにより試作から量産までの継続性を提供する体制なども含め、次世代装置の開発リスクが事業の継続を左右するほどになり、困難な時代に装置メーカーは直面している。

### 3-6 コマーシャル・ノード

Roadmap が世の中から認知されそれなりの注目を集めるようになると、各デバイスメーカーはロードマップを自分に有利に使おうとする。さらに、最近では競合メーカー同士でも研究等でコラボレーションしており、業界として協調することも可能である。最近のように、デバイスを小さく作るのが難しくなると、業界全体で微細化のスピード低下に対応する定義の見直しが行われる可能性が生じる。

図 15 に示したが、最初、ロードマップはテクノロジーノードと呼ばれるハーフピッチで厳密に定義される手法で微細化を示した。ロードマップの認知が進むと上述した微細化の数値が小さいほど高級・高機能に見えるようになる。すると通称 Commercial node と呼ばれる都合の良い定義が使われ始めたのは当然の流れである。また、素子売る時に、このノードといわれている線幅を示す数値の定義を適宜変更することが行われた。実際は 50nm ノードしかないものを 40nm と言うと、いかにも高性能に聞こえ、企業

世代 ⇒ Node ⇒ ???

- **Technology node**  
**1/2 Metal Half-Pitch**
- **Logic node**  
**1/2(Printed gate + 1/2 Metal Half-Pitch)**
- **Commercial node**

図 15. コマーシャル・ノード



の技術力があるように見え有利になるからである。

業界の中で、メモリーとロジックでは作る上での難しさのポイントが異なり、メモリーのほうがピッチを小さく作りやすい背景がある。ところがテクノロジーノードを厳密に適用すると Logic のピッチは数値が大きくなりメモリーに比較して技術が遅れているように見える。Logic はメモリーより遅れていると思われるのが不本意で、Logic node という新たな定義で優位性を主張したこともある。これが繰り返されると定義は有るけど誰も守らない世界が生じ混沌としてくる。この結果同じ土俵での議論が難しくなり、新しい定義が提案されるようになる。

### 3-7. ITRS の現実との乖離

前にも述べたが、ITRS は半導体素子製造メーカのウィッシュマップで、その数値の決定プロセスは簡単である。図 16 のように、今の実力を認定してどこにいるかのコンセンサスをとる。以前の認定に比較して技術が先に進んで微細化が早く始まると、そこから自動的に計算をし直す。3年で70%の微細化の法則を当てはめて計算するが、はじめが1年早くなるとその先が全部早くなる。小さく、安く、早くを継続する。その後、ロードマップの要求をブレークダウンして数値化し、何が阻害要因になるか明示して新しく必要となる技術を提示する。

1. 目的は半導体産業の遅滞無い発展を目的とした、ターゲットの設定。
2. 現実には半導体素子製造メーカの "Wish Map"
  1. 今の実力を認定 (今何処にいるか)
  2. そこから Moore の法則、3年ごとに70%の微細化が継続
    - 小さく、安く、速くを継続させる
  3. Roadmap の要求を数値化し、技術要素に分けて
    - ・ 何が阻害要因になるかを色分けして明示
    - ・ 新しく必要となる技術を示す

図 16. Scaling Equivalent

決定プロセスは非常に明快で、現実との乖離は上記のコマーシャル・ノードのような人為的なことでしか起こり得なかった。しかし半導体業界全体で努力しても、半導体素子をロードマップ通りに微細化することが難しくなると、半導体業界全体でスケーリング・イクイバレントといわれる新しい定義を入れ、デバイスが進化し続けていることを印象付けようとしている。

半導体素子の寸法で性能の進歩をアピールできることは、理解するのが難しい半導体素子の性能向上を易しく示す優れた方法であり、小さくしたのと同等の性能向上は、半導体業界の進歩を表現する手段としてきわめて有効であった。

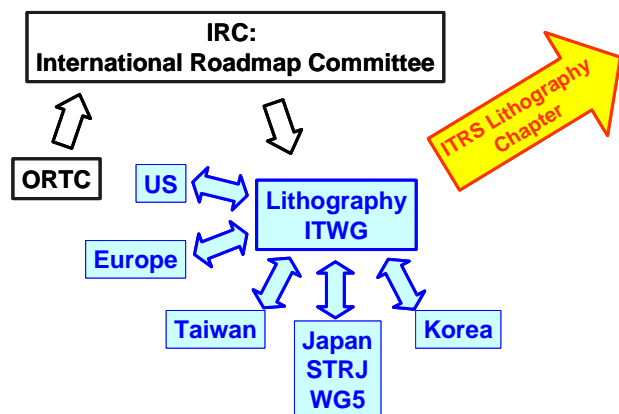


図 17. ITRS Lithography Chapter

### 4. リソグラフィと ITRS

ITRS のリソグラフィの章を例にとってもう少し細かく議論する。図 17 に示すように、IRC で議論され決定されるリソグラフィに関連する項目はデバイスの最小ピッチとその実現時期であり、その 2 つの数値だけが IRC から ITWG に提示される。この数値は Top down で降りて来るので IRC と Lithography ITWG の間で議論は存在しない。Lithography ITWG 或いは各極の TWG は降りてきた数値を受けて

活動を開始する。

Lithography の ITWG はこれを受け止めて、各極の意見を聞きながら ITWG で調整し、2 年ごとに ITRS Lithography の章を仕上げ提出する。リソグラフィの章の英語の文章は米国 TWG から来ているリソグラフィ ITWG の Chair が書いている。もちろん「ここを書いて」との依頼はあるが、日本人の英語力ではあの文章はなかなか書けない。原案に反対することはもちろん可能であるが、必ず代替案を出す必要が生じる。明確に技術的な論点は良いのだが、細かい表現などは英語で反論するのが難しく、表現は殆ど原案通りに、若干の修正が加えられ、ITRS が完成する。

#### 4-1. ITRS Table の作成

具体的なLithographyのITWGと各極のTWGの仕事のひとつがLithography Tableの作成である。繰り返し述べているように、IRC から Top down の 数字が与えられる。図 18 で一番上に示されている①Year of Production、時期、Timingとその次の②DRAM 1/2 Pitch (nm)が与えられた数値である。

ひとつの例だが、DRAMのピッチが決まるとCD ControlとかContactの大きさとかOverlayといった基本的な要求値は、ピッチに対する割合が決まっているので容易に計算で求められる。

この割合を変えることは可能であるが、業界内のコンセンサスの変更であり、Cross Cutと呼ばれるMeetingの中で、関係するITWG間で話し合いを持ち調整する。製造プロセスの中の議論で異なるITWGにまたがる検討課題、例えばリソグラフィとエッチングのITWG間で線幅精度のマーヅンを何対何で分けるかの議論では、デザインITWGが立会い、FEPとLithographyのITWG間で話し合いが行われ決定される。

上記の点に関し、5,6年前に、DRAMのプロセスで要求されるOverlayは30%でなく、現実には10%に近いと三星がITRSのリソグラフィのITWG Meetingで主張した。いろいろと議論があり(現実には1時間ぐらいの議論だったが)、最終的には20%に数値が厳しくなった。そこでは技術的に出来る出来ないの議論はなく、デバイスメーカーにとって必要な要求すべき数値は何か議論された。これがITRSのRoadmapでの議論の典型である。その意味で、ITRSではあくまでもデバイスメーカーの“wish”mapが議論される。デバイスメーカーが必要と考えれば、その数値が記載される。通常はLogicやFlashでもTableの中の割合は決まっているので、数表は殆ど自動的に完成する。ITWGが自主性を発揮できるのが表の項目だが、連続性もあり大きな変更は難しいのが現状である。

#### ITRS Lithography Table

Table LITH3 Lithography Technology Requirements

Year of Production	2009	2010	2011
DRAM 1/2 pitch (nm) (contacted)	52	45	40
<b>DRAM</b>			
DRAM 1/2 pitch (nm)	52	45	40
CD control (3 sigma) (nm) [B]	5	4.7	4.2
Contact in resist (nm)	57	50	44
Contact after etch (nm)	52	45	40
Overlay [A] (3 sigma) (nm)	10	9.0	8.0
k1 193 / 1.35NA	0.36	0.31	0.28
k1 EUVL		0.83	0.74
<b>Flash</b>			
Flash 1/2 pitch (nm) (un-contacted poly)	38	32	28

IRCからTop downで数値が与えられる。  
Design, PIDS, FEP等とのCross Cutで割合を決める。

- 数表の数値は割合が決まっているので自動的に決まる。
- 白黄赤の色を議論して決める。
- 要求数値を満足する技術は何か → Potential Solutions
- 必要なインフラ整備の議論を行う → Difficult Challenges

図 18. ITRS Lithography Table<sup>1)</sup>

#### 4-2. Table の色、“赤”、“黄”、“白”

次はロードマップの表に色をつける作業である。今問題なければ白地のまま残す。不満足だけど達成手段はすでに存在すると黄色に塗り、達成できていない或いは達成方法も存在しないと赤く色分けされる。半導体製造では、たまにはあるが、歩留まりは悪いながら不十分な技術を使用すれば物が出来てしまう場合がある。その時は赤と黄色の縞に塗る約束ができています。ここを何色に塗るかを議論するわけだが、多くの場合、現状このくらいまで出来ている、或いは出来ているはずだといった議論で



境目の数値を決め、後は自動的に色が塗られる。色分けの議論で真剣になる時もあるが、そういう事が起こるのは、いつも現在の実力がどこにあるかの議論がなされる時である。こういう場合には、思いもよらないデータを見る機会がある。また、ITRS の表 (Table) の脚注の説明に、編集に携わる技術者の良心が現れる。

ITRS の表 (Table) を議論していると、技術的に解決策が見当たらず、ある時期から先の表が真っ赤になることが良くある。これを赤いレンガの壁 (Red Brick Wall) と呼んでいる。数値の入っている一つの柵で赤く塗られたものを“赤いレンガ”と表現している。

#### 4-3. Potential Solutions:

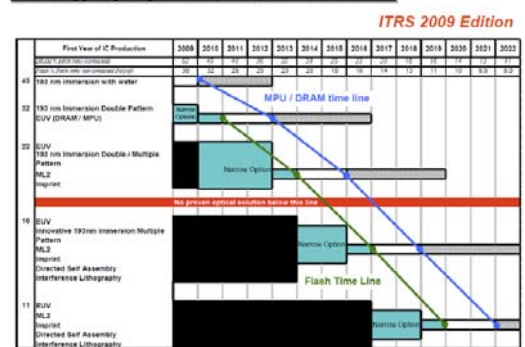
次の議論は要求数値を満足する技術は何かを示すことである。これが Potential Solutions という議論で、それぞれの ITWG で異なった記載方法をとる。基本的に時代が進むと要求は厳しくなる。要求が厳しくなると、従来の技術では達成できなくなるので、その時にどのような技術を準備しておかなければいけないかを議論して示す。図 19 に最新の Lithography Potential Solutions 2009 年版を示す。

Lithography には解像力という非常に明確な定義がある。光を光源に使うリソグラフィの場合、解像力の限界は物理法則であるからすぐに計算で示せる。ただし、そのような限界を超える解像力の要求があると、別の技術を提案するしかなくなる。その結果、以下に紹介するように、上記のルールは非常に明確なように見えるが、後から歴史を振り返ってみると、結果的に非常にいい加減になってしまう場合も少なくない。

図 19 の ITRS 2009 の Potential Solutions の真ん中にある赤い線は、ここから下では、これよりも細かいピッチは光では切れないことを示している。光を使った(193nm での)Solutions は有り得ないことを示している。しかし 16nm の候補の所には 193nm という光を使う技術の可能性が示されており、ちゃんと逃げ道が作られている。

ITRS は将来に向けてどのような技術を準備するかを議論しているため、ロードマップのごく初期から Potential Solutions は議論されている。図 20 はロードマップの議論が国際的になる前の 1991 年に米国の国内向けに行われた議論における Potential Solutions である。ここでは Potential Solutions では

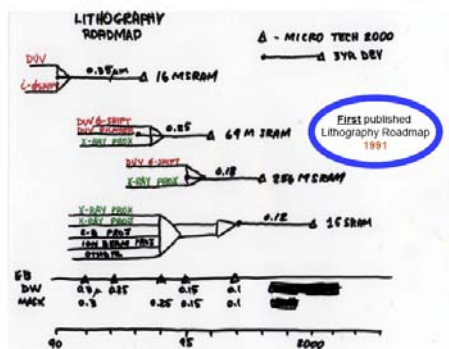
### Lithography Potential Solutions



M.Kameyama 21

図 19. Lithography Potential Solutions, 2009<sup>1)</sup>

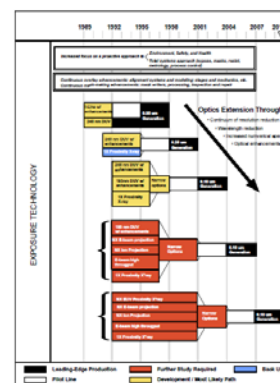
### First Lithography Potential Solutions Diagram



Source: Dave Patterson

M.Kameyama 22

図 20. 最初の Lithography Potential Solutions, 1991<sup>1)</sup>



Lithography Potential Solutions, 1993 NTRS

M.Kameyama 23

図 21. Lithography Potential Solutions, NTRS 1994<sup>1)</sup>

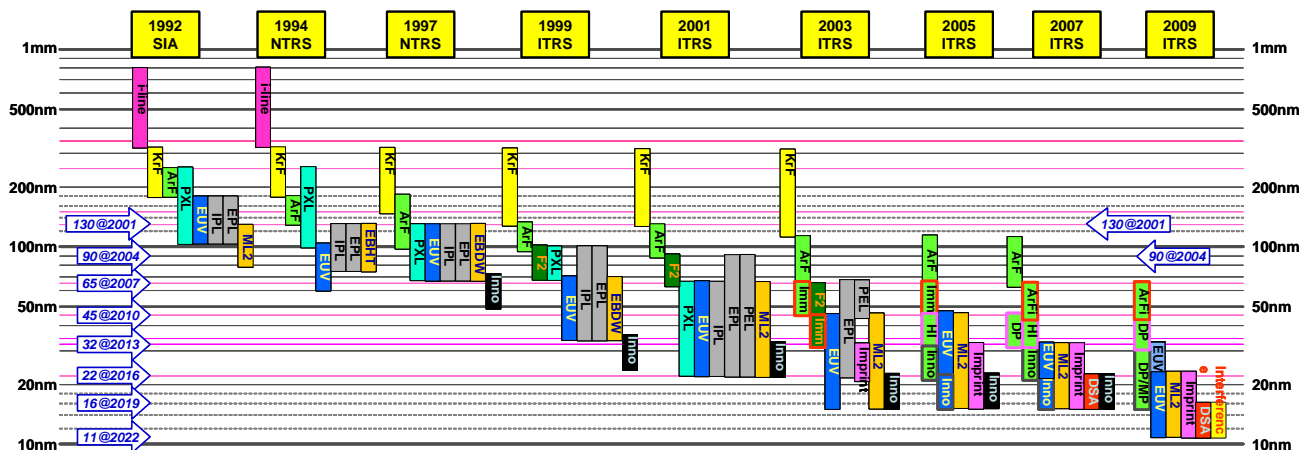


図 22. History of ITRS Potential Solutions in Lithography.

なく、Lithography Roadmap と示されている。

1994 年になると図 21 に示す、現在と変わらない Potential Solutions の形式になっている。将来に向けての候補技術が示され、技術を選択する時期が示されている。現在もそうだが、その時々々のリソグラフィの専門家が集まり、意見を戦わせるので、この議論は常に白熱する。しかし、次に示すように、将来を予想するのは簡単ではない。

Potential Solutions は ITRS が版を重ねるごとに書き換えられている。そして Potential Solutions を作るのにその時々々の世界中のその技術の権威者が集まり議論して作り上げている。しかし後から検証すると、ぜんぜん当たっていないことが多い。ハズレ具合を図 22 に示した。1992 年のロードマップを見ると、その当時 i 線が主流で、将来は波長を短くしていくが 180nm より微細なパターンでは ArF の解像力も限界となり使用できず、X 線や電子ビーム技術などの新しい技術が必要であると予測していた。

時間が経過し、ITRS の Edition が進むにつれて、図 22 に示す通り、Potential Solutions で光が少しずつ延命して行った様子を確認できる。このような状況変化に伴い、光の後に準備しなければと盛んに言われて来た NGL: Next Generation Lithography と呼ばれる技術が後ろ倒しになっている。

最初から直近まで ITRS では常に同じような議論をして来た。しかし、いつも光が延命し、NGL と言われる光以外の技術はいつまでたっても使われず後倒しされて来た。Potential Solutions がこれだけ外れ続けても誰も責任を取っておらず、責められる事も無い。何故かという、半導体産業は新しい技術の導入に保守的であり、業界として新しい技術を導入するとインフラを含めて膨大な投資が必要となるので、技術が変わらないことは歓迎であり、予想が当たらないで古い技術が延命されことは、実は歓迎すべきことなのである。Potential Solutions は ITRS の中でも影響力が大きいのでこの後の 5 章、6 章でも再度議論する。

#### 4-4. Difficult Challenges: 困難な課題

ITWG で行われるもうひとつの重要な議論に Difficult Challenges がある。リソグラフィ全体に必要なインフラにまで言及した議論で、技術を成熟させ、量産に適用可能とするのに必要なインフラ等の整備までを含めた議論を行い、Difficult Challenges という形でまとめる。近未来と遠い将来の重要な技術を選択し、その課題で重要なものから 5 項目を選び記述する。文章が短いため、言い訳が入れにくく、ストレートな表現で記述されている。

ITRS の中で、ITRS 活動に参加している技術者が技術的な難しさは何かだけを議論している部分で

もある。リソグラフィを例にとると、例えば EUV と二重露光と EB 関連技術の問題点と課題が併記されている部分で、ITWG の議論でもメンバーが自由に自分の意見を述べている。それぞれの課題のどちらの難易度が高いかの議論は行われませんが、個々の技術の問題点は明確に記述される。これはまったく異なる技術の難易度を比較することを注意深く避けた結果である。ITWG で異なる技術の難易度を議論したとしても、ITWG メンバー個々の技術的・政治的な背景から合意は得られなかったと考える。2-7 章で記述したように、ITRS では選択肢を増やす方向で技術の提案を行っている。技術の難易度の比較を行わず、個々の技術の問題点を明らかにするまとめ方を選択したことで ITWG メンバーのモラルを保つことに成功している。

個々の技術の困難な点が専門家の視点で明記されているため、専門的な知識があれば、Potential Solutions に選ばれた技術の量産までの“距離”や難しさを判断するのに重要な指針が得られる。

## 5. ITRS の権威と技術の選択

ITRS が版を重ね、社会的な認知度が増す事により、引用される機会が増えて来ている。重要なこととして、Potential Solutions のチャートに載ると将来必要になるかもしれない技術として半導体業界で認知されたことを意味するようになった。ITRS の権威が増し、Potential Solutions に載ると大学でも研究機関でも研究費が取りやすくなる効果が出てきている。掲載されたことにより、ITRS という半導体業界のお墨付きが与えられたのである。研究予算を確保するのに、その研究が Potential Solutions に関連している研究開発と主張することが効果を持つ場合も出てきている。

### 5-1. Potential Solutions の権威と使われ方

例えば EB である。EB ダイレクトライトは、ML2 とも言われるが、ITRS の Potential Solutions に常に載っている。ITRS の中ではいろいろな議論が行われているが、EB 関連の技術の話をするとしの専門家は必ず長所として解像力を挙げる。そして短所として生産性が問題であるとコメントする。生産性の問題が解決し量産現場に導入される技術的な可能性はきわめて低いが、EB 関連技術が ITRS から外れることはありえない。これは ITRS が微細化の継続を前提に、微細化を継続するには何を行えばよいかを追求する方針で作られているので、解像力のある EB は常に ITRS の Potential Solutions に取り上げられることになる。Potential Solutions に載り続けていることにより、多分 EB 関連の研究資金を得ることが、他の技術と比べより容易になり、且つ資金自体もより潤沢になったと思われる。

EB を Potential Solutions から取り下げる議論は現在存在しないが、もし消すという議論が出て来たとしても、例えばアメリカの DARPA<sup>†</sup>が、「ミリタリーは究極の少量多品種だから EB の開発は絶対に必要である。研究を継続して欲しい。研究を続けるように。」という圧力をかけてきて、結局 Potential Solutions に残ることになるであろう。

過去の話であるが、X 線には一時期、明らかに政治的な力が働いていた。X 線はある時期まで盛んに研究されていたが、ある時期から国際的に孤立した技術になった。Potential Solutions から X 線リソグラフィを外そうとした時、「日本のナショナルプロジェクトが動いている間は消さないで欲しい。」との発言を受け、ITWG の議論で残すことを決める非常に政治的な動きも存在した。

さらに、もう一つインプリント(Imprint)技術を例にとってみよう。マスクを作って判子のようにしてリソグ

---

<sup>†</sup> DARPA: Defense Advanced Research Projects Agency、米国防総省内の研究開発部門で、DARPA は自身で研究所を持たずに、団体や個人に資金を提供することで研究を促す。現在も、半導体産業の研究開発に資金を提供している。同時に米国政府から民間に直接技術開発資金を提供するスキームも持っている。

ラフィを行う技術である。Potential Solutions に採用するかどうか ITWG の中でも活発な議論があった。少なくとも日本の TWG で議論をした時には、インプリントは半導体産業では使えないという意見が大半であった。(解像力は素晴らしいのは誰もが認めるが、パターンに欠陥が多く、期待するほど生産性が良くない。) この技術を半導体素子の量産ラインに導入するのは無理が有る。使えない技術であるという結果になりかけたが、アメリカの TWG から、「バイオのところでは使える可能性があるので消さないで欲しい。」と意見が出された。技術として重要だし、解像力は非常に高いし、ほかでも使えそうだから、残しておいた方が良さそうとの結論になった。ITRS の Potential Solutions に記載されることによって、このインプリントという技術は日本の大学でも公的な研究機関でも、世界的にも、他の研究テーマに比べ研究費を容易に得られたのではないだろうか。ただし、このような影響を行使することが良いことか悪いことか、新しい技術を育てる機会を作るかどうか、それぞれの視点で評価は異なると思う。

#### 5-2. リソグラフィの Potential Solutions は当たらない

ITRS で重要なことは、その影響力を ITRS とその参加メンバーが上手く使っていることである。多分リソグラフィ以外の他の ITWG にも当てはまると考えるが、可能性はあるけど自分が主体となってやるにはリスクや疑問が残ると思う技術についても、意識してロードマップに残すようにしている。世界のどこかにこの技術を研究する意思を持つ人がいれば、Potential Solutions に載っている技術だということ、いつの間にかその技術に何らかの資金が付くことになる。自分で抱え込んで少ない資金で研究をやるよりも、Potential Solutions に載せることにより、研究が大きな規模で早く進む可能性が生じる。技術の可能性を見つけて ITRS に載せると、技術が自律的に育つことが可能となり、業界にとって非常に大きな意味を持つ。育った後で、使うかどうかの判断を下すことが可能となる。それだけで ITRS を作る意味がある。

**There is a Big Gap Between Potential Solution & Selection**

- **Who lists Potential Solutions?**  
→ **The person who responsible for R&D.**
- **Who selects volume production exposure tools?**  
→ **The person who responsible for production.**

図 23. 当たらない Potential Solutions

しかし 4-3 章で ITRS Roadmap の Potential Solutions を検証したが、当たらない理由は何処にあるのだろうか。その時々の世界でも有数のリソグラフィの技術者が話し合っ Potential Solutions は作られている。ところが、過去を振り返ってみると、4-3 章の図 22 に示したように、予想のほとんどが全く当たっていない。

ただし、図 23 に示すように、ある意味で当たらないのが当然とも言える。ITRS の Lithography の Potential Solutions を作る時の ITWG の議論に参加している技術者は、ITRS の議論で将来を見ることが多く、しかも、彼等の多くが研究開発に係る人達であることによる。新しい開発を実践している当事者であるから、当然新規技術への期待も大きく、将来技術が変わることを前提に物事を見ている。(なお、これらの点に関しては、5-4 章以降でもう少し具体的な議論する。)

これに対して、時期が来て実際にリソグラフィを選択する、或いは量産用のリソグラフィプロセスを立ち上げるのは現場の責任者であり、通常 ITRS に参加することはない。しかも、彼らは量産に責任を持っているので一番確実でさらに一番安い方法を迷わず選択する。コストパフォーマンスの高い投資が求められるので、当然ながら、技術だけでなくインフラを含めて考慮しなければならない。また、新しい技術を採用するとなると、新しいインフラが必要になるし周辺技術にも未知の部分が多くなる。従って、量産現場は技術的に動きが取れなくなるまで、従来技術を選択し使い続けようと努力することになる。

新しいことを進めたい人が作る Potential Solutions と、変えたくない人が選択する現実解に差が出

るのは当然である。さらに個々の技術は進歩するので、Potential Solutions を作った時点と実際に選択する時とで個々の技術のレベルは変化する。周辺技術も大きく変わる可能性が生じる。量産現場では、同じ技術を使い続けようと努力をし続けているので、当然のように進歩があり、当初の思惑とは異なる技術環境が生じる。技術の目標設定で日常的に起こることだが、新規開発テーマの目標設定時に競合する既存技術の技術レベルを目標設定時に固定してしまう。既存技術でも時間が経てば進歩するのを、意識してあるいは無意識に、無視するのは起こりえることである。もちろん、ITRS では新規技術の議論が求められているので、当たらないことは問題だが、この当たらない歴史は当然でもある。

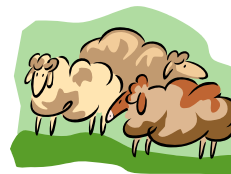
### 5-3. リソグラフィの研究開発費の高騰と新技術の選択

1980 年台前半に日本が Stepper による露光方法を導入したが、米国はコスト重視で 1:1 での露光を特徴とする Projection に固執した。その結果、歩留まりに大きな差が出て日本が優位に立った事実がある。

しかしそれはもう過去の話である。5-6 章でもう少し詳細に触れるが、30 年前には技術的にもコスト的にも 1 社単独でレジストの開発等のインフラ開発を含めリソグラフィの開発を行うことが可能であった。しかし現在では、情報やデータの伝達・応答速度が向上し、新規のリソグラフィの開発には膨大な資金が必要となり、考慮しなければいけない技術の範囲はインフラも含めて広大であり、1 社で密かに開発を進めるのは無理・無謀な状況である。図 24 に現在の状況を示したが、半導体のプロセス技術は、インフラも含めて非常に高価になり 1 社で全部を用意することは難しくなっている。業界で仲間を募り、業界全体のコンセンサスを得ながらみんなで新しい技術を準備する考え方が必要となった。自分だけの秘密兵器となる技術を準備することはますます難しくなっている。

その結果、ジレンマが生じる。技術を、インフラを含めて整備するには、1 社でまかないきれないほどのお金がかかるので仲間を募ることをする。どんなに良い技術でも、自分の作っている半導体素子にピッタリで使いたいと思っても、他の会社が乗って来ないと(孤立した技術になってしまう)インフラを含めてのコストが下がらず、事実上選択できなくなる。(このように特定の技術を)皆で開発を進めるが、(その技術を)実際に量産に適用しようとするとき必ず問題が生じて最初は上手く動かないのが普通である。皆、最初に量産適用すると苦労してお金もかかることを知っている。したがって、少し遅れた 2 番手を選択するのが道筋も解決方法も見えているので、有利になる。業界のコンセンサスが取れ、技術の選択も終わり、後は導入するだけという状況でも、いつ導入するかはいつも難しい判断になる。早すぎると苦労するし、遅いと技術で遅れてしまう。これが、装置やインフラが高価なリソグラフィの特殊性である。この点に関しては、以下の 6 章でも、技術の選択に関する具体的な事例を取り上げながら、ITRS が装置選択にどのように影響するかを述べる。

#### **So how will the industry decide?**



**Isolated technology shall not be survived.**



**Who will be the first to jump and why?**

図 24. 量産技術は業界で共通

### 5-4. リソグラフィ技術の選択 - 液浸と F<sub>2</sub>

最近の具体的な例を示す。図 25 に 2001 年から 2006 年にかけて、直近のリソグラフィを業界がどのように見ていたかを、Potential Solutions の変遷から示す。2001 年は KrF を使っていたが、そろそろ KrF の解像力が限界なので ArF を使い始める必要があり、ArF 技術を懸命に磨いていた時期である。その時には同時に ArF の後のことも議論されていて、ArF で時間を稼いだ後に F<sub>2</sub> に移るといったシナリオが漠然とした業界のコンセンサスであった。Potential Solutions では ArF の後の候補として F<sub>2</sub>、IPL、



PXL, PEL, ML2, EPL, EUV と多数が取り上げられていたが、量産に向けてリスクが最小なものは何かという観点に立つと、よく知っている既存技術かその延長線上の技術が望まれるようになる。

2003年のITRSでは1年後に90nmの量産が始まるので、業界としての90nm量産からArFを使用するというコンセンサスが出来ていた。120nmぐらいから使い始めたArFだが、「インフラが揃いレジストも性能が安定して、無理をすれば65nmの量産に使えるかもしれない」、「F<sub>2</sub>の開発状況がインフラの整備を含めて考えると不安だ」、「65nmはどうしよう」と真剣に悩みながら、F<sub>2</sub>の開発に圧力をかけていた。そんな中で、コンセプトは昔からあり、光学顕微鏡の技術として確立されている液浸技術がArF波長で突然提案された。液浸技術は90年代或いはそれ以前のステップの時代にも検討されたことがあったが、光学顕微鏡の液浸では粘性の高いオイルを使用し、究極の高NAを達成することが一般的で、過去の液浸露光機の検討も常にオイルの使用を念頭にしていた。ArF(193nm)で水の屈折率が1.44と大きいことが指摘され実用可能な技術として急浮上した。ちなみにそれ以前のKrF(248nm)やi線(365nm)の波長での水の屈折率は小さく、これらの波長での水を使用した液浸の優位性は小さかった。液浸液に水が使用可能で、屈折率も1.44と大きいことで一気に検討が進められた。検討すると、「マスクのインフラを変えないで、レジストも(液を使わない)Dryの延長線上のものが使えそうだ。」との結論が示された。

半年ぐらいの混乱が生じたが、最後に出てきた液浸が「一番インフラを含め変化が少ない」「一番冒険が少ない」と業界のコンセンサスを得た。F<sub>2</sub>は世界中の後押しを受けて研究開発が5年以上も進められていたにもかかわらず、半年で業界の選択肢から消えた。原理的にF<sub>2</sub>よりもArF液浸の物理的ポテンシャルが高かったため、当然と言えば当然な結果である。物理的ポテンシャルにもう少し技術的な説明を加えると、F<sub>2</sub>の波長は157nmだが、水を使ったArF液浸の実効的な波長は193nm/1.44(水の屈折率)=134nmであり、ArF液浸の方がより短い波長を持つと考えることが理論的に可能で、より高い解像力を得ることが可能である。

液浸という技術は100年以上前から知られており、光学顕微鏡では普通に使われている技術である。ウェハとレンズの間に水を導入するという方式になんとなく現実味が無かったため誰もチャレンジしなかったと考えられる。試みたらF<sub>2</sub>が5年も苦しんでいて目処が着かなかった蛍石の材料開発よりも現実的な技術と判断された。

なお、F<sub>2</sub>対液浸に関しては5-6章でもう少し技術的なコメントを述べる。

### 5-5. リソグラフィ技術の選択 - Post 液浸

上記のように、ArFを使ったdryの装置が限界となり、ArF液浸を使った装置を業界全体が選択した。しかしすぐに32nmのパターンを作るためのPost液浸が必要となった。Potential Solutionsの議論は以前から行われていたが、量産に移行できる現実的なもので準備が整った技術が準備されていなかった。直近のことなので新規技術を開発し導入する時間は準備できない。そのため、量産を前提とした現実的な解を候補の中から選択する必要が生じた。そのような解として、図26に示す高屈折率材料を用いた液浸、液浸の二重露光・二度露光、そしてEUVLが検討された。ただし、高屈折率材料を用いた液浸は、高屈折率液体のみならずレジストの高屈折率化、縮小投影レンズの先端部分に新

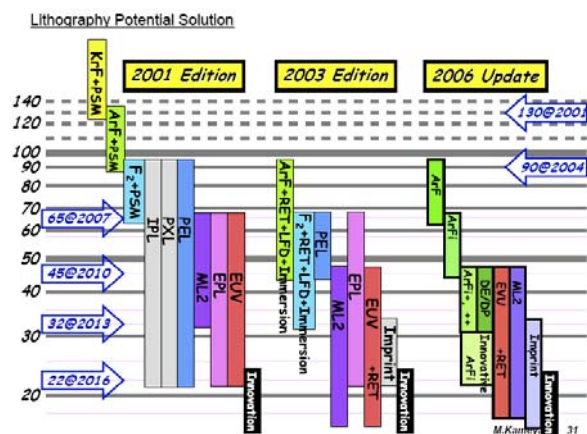


図 25. リソグラフィの選択 - Post ArF

たな超高屈折率レンズ材料が求められた。しかも、液体が可燃性で発火の危険性も無視できなかったため、対策に膨大な時間とお金が掛かることなどが指摘された。その結果、予定された量産時期に間に合わない、延命策は高々一世代しか持たない、といった理由ですぐに候補からはずされた。また、EUVL は時期的に技術の成熟が十分でないという判断となり、生産性とコストに不満が残りながらも実績のある二重露光が選択された。このように、現実的な判断(コンセンサス)はあまり議論も無く決まる。

今までの Potential Solutions の議論を別の切り口で見てみる。最後の最後での選択段階になると、「これは間に合わない」、「これはできない」、「これしかないね」と言う事で、非常に単純にコンセンサスが得られる。ただ当然のことだが、記録に残る場合には、配慮しながら結論を書くので分かりにくくなるのは日本も世界も同じである。

ITRS の Potential Solutions を書く時には半導体メーカーにとって最も望ましい Best Scenario に沿って彼らの“Wish Map”を提示する。半導体素子製造メーカーが望む具体的な Best Scenario と Wish Map は、技術的な難易度を考慮しない理想的なものとなる。長期にわたり使用可能な拡張性を持ち、単純で容易に使用可能で安価であり、もし使用可能となれば最大の効果が得られるものが提示される。図 26、27 で Best Scenario の技術は勿論 EUV である。実行の段階になると確実性を重視する形で一番技術的障壁の少ない“現実解: Practical Solutions”が選ばれるのは図 27 に示す通りである。なお、この技術の選択についての議論は 6-2 章で継続しまとめる。

別の見方を行うと、ITRS の Lithography の Potential Solutions は何年にも亘って継続的に議論されている。最近では半導体素子の微細化にそろそろ頭打ちの可能性も出てきているため、リソグラフィは光が最後の技術となり、EUV の出番は無いかもしれないと言う様な議論も出て来ている。しかし、半導体素子が微細化を必要とし、微細化がコスト的に合えば、リソグラフィは進歩を続ける。

#### 5-6. リソグラフィ技術の選択 - 開発費と回収

2006 年の Update では 45nm のリソに何を選擇するか議論をしているが、EUV と高屈折率液浸と二度露光の戦いになっている。2006 年だと 2010 年に予定されている 45nm リソの選擇までに時間があつたので、技術を併記して競争をあおり、それぞれの完成度を高めえた後で選擇しようという意図が出ていた。

新しい技術を量産に導入する時の障壁は技術だけではない。従来技術の延長線上で技術の延命を図る場合、全体の投資は大きくても、図 28 に示すよう一回の投資は大きくなく、過去からの積み上げなので、あくまでも今の技術に付け足す形の投資となる。

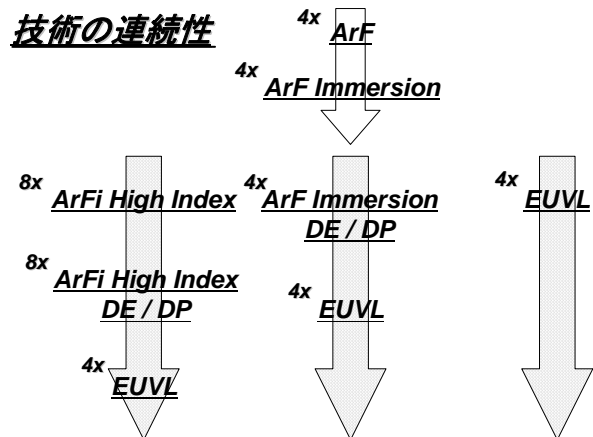


図 26. リソグラフィの選択 - Post 液浸

### Wish vs. Capability

ITRS Potential Solution	Technical Ease
<p><b>"Wish Map"</b> Best Scenario</p> <ol style="list-style-type: none"> <li>1. EUVL</li> <li>2. ArF Immersion with High Index Materials (both Liquid &amp; Glass Materials) ⇒ NA &gt; 1.5</li> <li>3. Double Patterning &amp; Double Exposure</li> </ol>	<p><b>"Probability"</b> Practical Solution</p> <ol style="list-style-type: none"> <li>1. Double Patterning &amp; Double Exposure</li> <li>2. ArF Immersion with High Index Materials (both Liquid &amp; Glass Materials) ⇒ NA &gt; 1.5</li> <li>3. EUVL</li> </ol>

M.Kameyama 30

図 27. 最良の選択とは何か？

## Remember! Sum of Investments

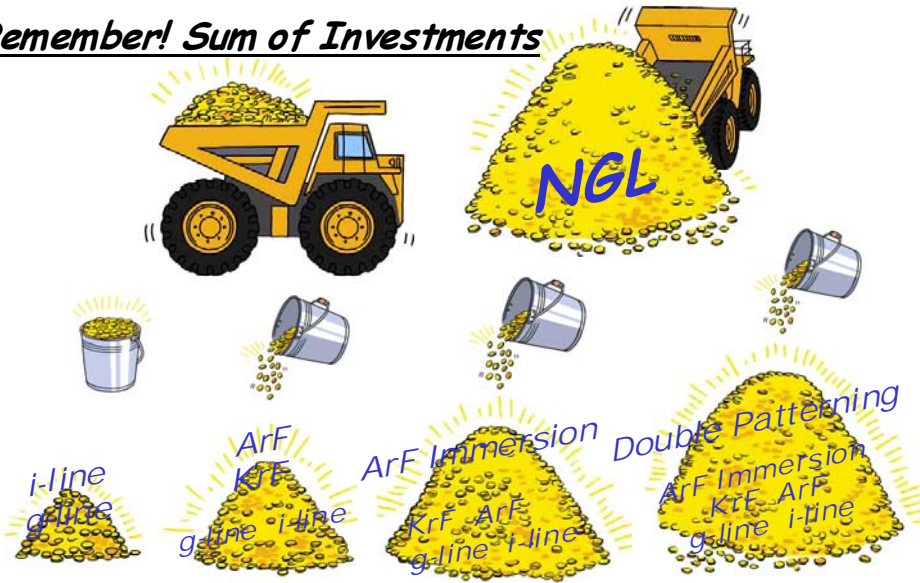


図 28. リソグラフィの選択と投資額

これに対してゼロからの新規技術の場合には、インフラの整備から工場の運営方法やメンテナンスの手法まですべてを一時に変える必要がある。そのため、業界全体として短期間に膨大な投資が必要となる。もちろん、その技術が、投資の後にも長期に使われる目処があるとまだマシだが、なかなかそこまで見通すことは難しい。量産に移して初めて技術の本当のポテンシャルが見えてくるのが普通なためである。

量産の責任者は利潤の追求をしているので、従来の延長線上にあり見通しの利く技術を、そして(現時点での)投資の総量でなく、(現時点を含めて)そこから先の投資の総量の少ない方を選択するのが普通である。まったくの新しい技術の導入は、高額な投資が必要で障壁が高くなる。したがって、業界全体のコンセンサスが無ければ、新しい技術への移行は難しい。

2-5 章で装置価格、3-5 章で装置のマーケットの大きさに簡単に触れたが、リソグラフィ技術も半導体素子を製造するための民生が用途であり、コストがその選択の大きな部分を占めるのは当然である。前述したように、1980 年代初頭の露光装置(ステッパー)の価格は 1 億円台で、生涯生産台数は 1000 台を越えていた。この当時の露光機の開発費用は 50-100 億円前後であったと考えられる。当時としては巨額の開発費であり、装置価格も高価であったため評判となった。しかし、生涯生産台数が大きく、レジスト・マスク等のインフラへの投資がそれほど必要とされなかったことから、話題にはなったが、許容された。

前述のように、開発費の観点から見てみる。現在、最先端の半導体素子の製造で使用されている液浸露光機の装置価格は 1 台 50 億円前後と言われている。露光装置の開発として、前世代の ArF 露光機から新規の開発が必要となった主なものは、次の 4 項目であった。

- ① 新規液浸用大 NA 縮小投影レンズの開発
- ② 微細化に伴う精度向上を実現しながら生産性を向上する新規ボディの開発
- ③ 1.0 を超える大 NA を実現するのに必要な縮小投影光学系の偏光照明の開発
- ④ 液体(水)の導入

①と②は新規開発であるが、ある意味で従来技術の延長上にあり、ある程度難しさも予想が付き、開発費も予測が可能であった。また、③の開発は光学系の開発アイデアが纏められた段階でリスクと開発費が計算できる項目であり、開発アイデアを思いつけるかどうか最大のリスクであった。④の



水の導入はエンジニアリングが主体であり、泡(Bubble)とごみ(Defect)の低減の試行錯誤に多くの時間を費やすので、主な開発費は人件費であった。

液浸露光技術が産業界に提案されたのは他の競合技術に比べ非常に遅く、開発完了までの時間的余裕は殆ど無かった。液浸リソグラフィ技術に関連する新規インフラで開発が必要であったのが液浸用レジストである。しかし、液浸露光の開発が産業界として同意された背景には、従来の ArF(乾式)露光用のレジストの改良だけで実用に使いそうだとの実験結果が示され<sup>11)</sup>、またマスクの開発は必要であったが、微細化に伴う精度向上とコストの削減だけが開発項目であった、等々の事情が強く影響している。

液浸の開発は、(先の)図 27 に示したように、従来技術に開発を継ぎ足す形式そのものであり、開発投資を最小に抑えながら必要な結果が得られる理想的な形であったといえる。

これに対し 5-4 章に示した F<sub>2</sub> の開発は、前述のように途中で中止されたが、主な開発項目は 157nm の波長に適用可能な縮小投影レンズ用レンズ材料の蛍石の開発、レジストの開発、ペリクル材料の開発の 3 項目であった。いずれも材料開発が必要で、研究開発がいつ目標を達成できるかが常に問題となっていた。レジストとペリクルの問題はインフラとして重要視されていたが、F<sub>2</sub> 露光機の投資では蛍石製造設備の投資が最大の課題であった。ArF や ArF 液浸でレンズ材料として使用される石英は他用途もあり、投資のリスク軽減も考えられたが、蛍石は縮小投影レンズ用レンズ材料以外の用途が見当たらず、当時リスク軽減のための投資の後倒しとムーアの法則厳守の要求から来る開発の前倒し要求で論争が始まっていた。ペリクル開発に目処が着かないとの理由で F<sub>2</sub> と液浸の選択はすぐに決着が付いたが、そもそも技術だけでなく開発投資対効果の面からも F<sub>2</sub> に勝ち目は無かった。

## 6. ITRS と技術情報

実際に研究や技術開発をしている人にとって ITRS の一番有難い点は、ITRS の Potential Solutions に載った途端に図 29 のようにスポットライトを浴びるということである。注目され、研究資金が集めやすくなる。一方で、研究している人達に自然とお金が集まると、半導体素子製造メーカーは最小の資金で決断時期を遅らせ、誤った判断をするリスク、未成熟な技術に投資しなければならないリスクを軽減することが可能となる。

ITRS に載った技術は注目を集めるので、学会等でも人を集めやすくなる。人が集まれば学会開催の機会も増やせ、情報交換の機会が増加する。半導体業界で実際に使用される技術の研究開発に寄与し成功すれば大きな栄誉も得られる。そのため、研究に参加する人も増え、競争も激しくなる。半導体業界も持ちつ持たれつの関係からその技術に関する学会を後援し、業界が主導するカンファレンスも開催される。技術のインパクトが大きいとコンソーシアムでの研究対象になり、その技術の開発だけを目標としたコンソーシアムが作られる可能性も生じる。するとさらにその分野での研究開発の競合が激化するので、研究の主導権をとるためには(開発費をより多く手に入れるため、)トップデータを出し続けるか、或いはトップグループにいる必要が生じる。データを隠し成果を独り占めするようなことは出来なくなる。

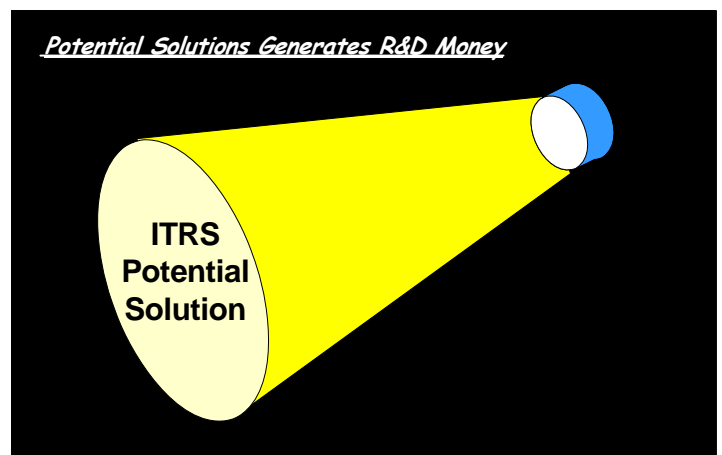


図 29. ITRS は研究開発費の調達を容易にする

### 6-1. ITRS は高効率の情報収集の手段

上述したように、技術開発者にとって ITRS が有用なのは、ITRS に載れば注目が集まり研究資金が集めやすくなる。このため、ITRS に対し売り込むとか、情報の提供を行うことが研究資金確保の一つの手段となる。ITRS とか ITRS の委員等に対していつの間にか世界中の情報が集まるようになる。しかも最新最先端の情報が得られる。

昔はそれほどお金を掛けなくても研究開発が可能で、隠れて技術を抱え込む形での研究も可能であった。しかし現在のリソグラフィでは、隠れていても集まるぐらいの資金では、そもそも何も出来ない。インフラの整備にも膨大な資金が必要で、自らのアイデアを示して、資金を集めて、同調者を募って皆で技術を作り上げる必要が生じる。

ITRS のコンセプトでは世界中から情報が(自発的に)飛び込んでくると言っても大げさではない。この状況は業界の Top メーカーにとって最良の状況である。Top を走る技術メーカーにとって一番怖いのは、知らない技術でいきなり後ろから頭をパカーンと殴られることである。そのようなことが起こると、急激にシェアを失うことになる。或いは知らない技術が突然メジャーになることにもなる。もし、ロードマップ活動を行うことによって、関連する技術開発の情報を世界中から入手できるのであれば、判断さえ間違えなければ、(競争上の)優位性をより長くキープすることが可能となる。さらに全体を見て、有望なものに重点投資をすれば、さらに優位に立てるし、研究開発費を有効に使うことが可能となる。そして、判断するには早いけど少しでも気になる技術があれば、それを Roadmap に載せておけば、資金がその技術に自然に集まって研究が進むことになる。技術開発が経済的に自立したのと同じで、そのような(興味はあるが不確かなリスクのある)技術開発に自社で投資する必要がなくなる。しかも、そのような技術の研究開発状況に関する情報を得ることができるので、結果として、自社の研究投資を少なくすることが可能となる。さらに、ロードマップに掲載されることで人々の注目を集めているので学会等での発表が増え、競争となり、最先端の情報の手もそれを元に行う判断も、細々と研究されている時に比べてずっと楽になる。この件については 7 章でさらに詳しく議論する。

### 6-2. ITRS における新規技術の提案と現実

5-2 章から 5-5 章ではリソグラフィ技術の Potential Solutions と技術の選択について議論したが、ここで今までの議論をまとめる。

過去のリソグラフィの動きを分析してみると、開発関係者が次世代を提案する時は、次から次へと技術が変化している。或いは、将来技術で難しい技術をある程度試し、その技術の実力を試して見ようとする。図 30 に示すように、1990 年代後半の提案では KrF はもうこの辺でやめにして、ArF にして、その次は F<sub>2</sub> にして EB を作ればそれぞれの技術が理解できるであろうという風に、『As soon as possible』で技術を動かそうという提案をしている。この時点では KrF が導入されたばかりで ArF 以降はまだ開発テーマであり、この提案は研究開発部門の人が行っている。

他方、現実には『As long as possible』で動く。使い始めた技術はとことん使いつくす。しゃぶり尽くすまで使うことを行う。リスクのある技術はとことん避け、インフラを含めて全体の投資を最小限にする。これが利潤を追求する姿勢である。

#### Lithography Strategy Selection

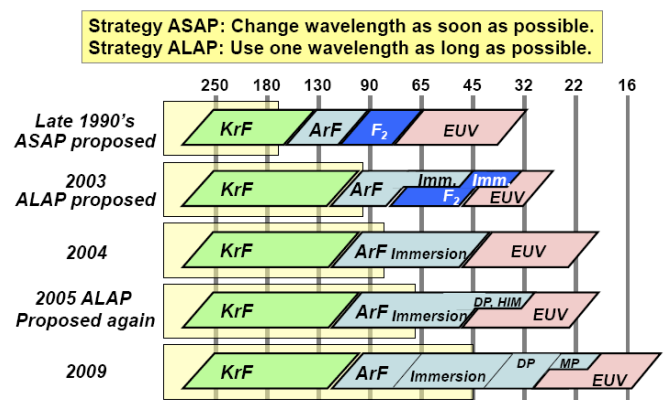


図 30. "As soon as possible"と  
"As long as Possible" <sup>11), 12)</sup>

その判断は製造部門が主導している。

過去に Potential Solutions で提案された技術は細かい違いを無視すると図 31 に示したもののしか存在しない。灰色白抜き文字は光リソグラフィで過去に現実に量産で使用されたものである。黒地黄色の文字の『ArFi』は現在の主流の ArF 液浸を示し、『ArFi DE/DP』は 45nm, 32nm で主流になる二度露光技術である。薄い灰色は過去に Potential Solutions に載り議論されたが、Potential Solutions から落ちた技術である。そして、網掛けの緑色は今後の技術として Potential Solutions に現在残っているものである。

冷静に見ると、実は技術として捨てられたものは少ない。X-ray や XPL は X 線波長を使う技術として EUVL として今でも Potential Solutions に残っている。EPL, PEL, EBHT, EBDW も ML2 と名前を変えながら EB 関連技術としてしっかりと生き残っている。あらゆる研究開発の芽を殺さないように生かして置くという業界の意思が働いているのだと考える。

6-3. 技術として実際に採用されるためには

図 32 の『a Winner of Lithography』というのは量産現場に導入される最先端のリソグラフィを示している。非常に高価な装置にお金を払う唯一の意味は解像力を得るためである。量産導入するために障害・弊害になる解決できない弱点があってはならないし、弱点が解決できることが実証されていなければならない。技術が成熟していて、量産ラインに導入された時、言い訳なしに動かないとならない。したがって、必要とされるタイミングを逃すと採用されない。リソグラフィではマスクとかレジストのようなインフラがそろいかどうかも大きな意味を持つ。技術が必要とされる時期にインフラがそろっている状況を作るために、Roadmap は大きな意味を持つ。

同じような可能性のある技術が出てきたら、生産性とか COO のよい方が選択され使われる。実現の可能性が同じであれば、当然、従来技術の延長に近いものが選択され、まったく新しい技術が競合したら、COO や生産性のほかに将来の拡張

**Other Options: Past & Potential Future Solutions**

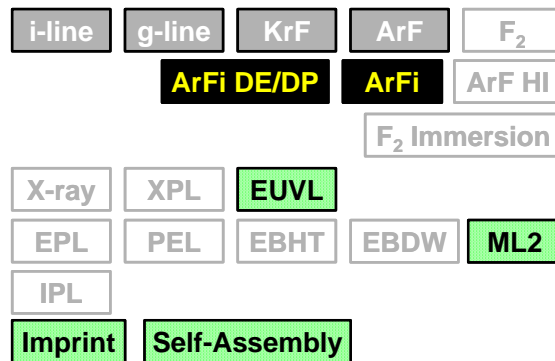


図 31. 過去の技術と再生

**To be a Winner of Lithography**

The First Priorities

- **Resolution**
- Bottle neck might not be allowed including infrastructures.
- Maturation and stability of candidate is important for an actual volume production Fab-line.
- Do not miss the timing. There will be only one chance to be selected.

The Second Priorities

- **Better CoO**
  - Productivity / Uptime
  - Cheaper resist availability
  - Cheaper mask availability, if necessary
  - Lower operation cost
- Fewer restrictions for device design and process are welcome.
- Better yield
- Simplicity
- Extensibility, Image Quality, .....

図 32. 量産に適用されるリソグラフィ技術の条件

**The Decision**

- The choice of which technology to develop is a balance of:
  - Technical feasibility (and risk)
  - Potential market (ROI)
  - Infrastructure available (especially materials)
- To understand the importance of these factors we should remember –
  - x-ray (mask problem)
  - DUV introduction (tool useful years before resist)
  - EPL (Timing, Fear of isolation)
  - F<sub>2</sub> (resist and pellicle problem)

**i.e. INFRASTRUCTURE limited introduction**

図 33. 歴史上で採用されなかったリソグラフィ技術

性をどちらが持つかが大きな意味を持つことになる。実際、過去の決定要因を見てみると、リスクとインフラの整備状況、そして市場の状況に依存している。この議論で危うい点は、過去の選択は常に既存技術の延長線上であり、まったくの新規技術が選択されたことが無い点にある。

#### 6-4. 技術が採用されない時

多くの研究資金がつき込まれたリソグラフィ技術が最終的に不採用となった理由を図 33 に示した。過去を見ると、20 年近く研究されて膨大な開発資金が投入され、結局使われなかった技術に X 線がある。いろいろな見解があるが、主な要因は、マスク技術が最後まで問題であったことによる。

DUV とあるのは KrF のことだが、レジストがなかなか成熟せず、導入は直ぐと言われながら、延々と導入が伸びた。それでも最後には使われたのは、リソグラフィでは非常に稀なケースである。

EB 関連の様々な技術は、いつも解像力の優位性と生産の柔軟性を利点として開発が開始されたが、生産性の向上が達成できず、開発が打ち切られてきた。EPL は EB 技術の中で初めて量産導入されるかと思われた技術であったが、開発のタイミングが非常に悪く、さらに量産で使用された経験が無い(アレルギー)ことで採用されなかった。アレルギーというのは市場のコンセンサスでもある。誰かが使うといえればラインに入った可能性もあるが、横にらみで誰もリスクを取ろうとしなかったため、最後は消滅した。

最後に F<sub>2</sub> であるが、レジストとペリクルが問題でなかなか成熟せず、時期が迫っている時に液浸のコンセプトが出てきて、一気に消滅した。ある意味でインフラが整わなくて、タイミングを逸して消滅した典型的な例と見る事が出来る。

#### 6-5. 技術の開発日程と後倒し

4-4 章でも簡単に触れたが、ITRS の中に Difficult Challenges という箇所がある。ここでは技術を量産で使う上で問題になりそうな課題をリストアップしている。

図 34 で、ある時期に新しい技術“A”で何ナノメートルのリソグラフィをやろうと提案され、Potential Solutions に登録される。そうすると ITRS のディフィカルトチャレンジ、もしくはカンファレンスとかシンポジウムでこのリソグラフィAをもり立てる議論が起こる。ITRS のディフィカルトチャレンジにこの技術にはこういう課題があるということが提示され、同時に使いたい時期と目標とする性能が提示される。

それをどういうタイミングで向上させてゆくかのマイルストーン(目標)を作り開発が進められる。ここで示されたタイミングに同期してインフラストラクチャーはこうでないといけないという議論も同時に始まる。ロードマップがあると、こういうことが秩序正しく進められ、開発が始まる。

技術の開発なので、あるところまで来ると、ボトル・ネックがあるとか、ショー・ストッパーがあるとか、ナンバーワン・イシュー(解決への一番の難関)がなかなか解決しないといった困難に直面する。目標の時期に間に合わないとか、競合技術の採用がほぼ確実になるといった事態が生じても、解像力に余裕があると技術は生き残ることが出来る。最初の目標が達成できない或いは間に合わないことが確実になると、ある日突然解像力のターゲットが変わり目標とする時期と線幅が変わることになる。それで「また頑張っってね」となり、ロードマップの議論では 3 年スリップで 3 年の猶予が得られる。

しかし、企業が単独で技術開発を行っている時、商品化の時期が突然 3 年先延ばしになり、仕様も難しくなると開発の継続が難しくなる。ロードマップがあると開発にたずさわる多くの企業や研究者が同

#### Difficult Challenges and Timelines

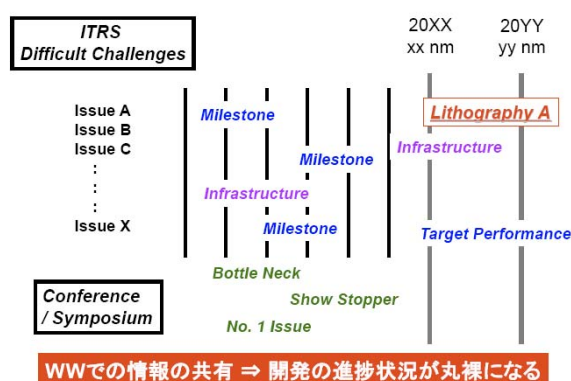


図 34. 3 年間の開発後倒し



時に3年(1世代)の後倒しに直面することになる。企業では開発費の回収が3年遅れることを意味するためキャッシュフローが悪化し苦しくなるはずだが、何故か撤退の決断はなかなかされていない。担当の研究者や技術者にとっては研究を継続できるので、普通は不満が出ない。

## 7. 考察 - ITRSは誰の為にあるのか

ITRSを編集するのに世界中の半導体素子製造メーカーが協力している。半導体製造装置メーカーや材料メーカーも何らかの形で巻き込まれていて、6-1章でも述べたが情報提供の要請があれば断ることは難しい状況である。しかも、ITRSの記述により、各国の研究資金の流れに影響を与えることが可能になっている。半導体の産業界全体を巻き込み影響力を持つITRSであるが、社会全体の役に立っているのだろうか。ITRSの“I”はIntelを意味すると言われた時期も有るが、実際に最も利益を得ているのは誰なのだろうか。

### 7-1. ITRSはIntelのロードマップか？

何故、ITRSはIntel Roadmapと言われるのだろうか。IntelはITRSをまとめるのに大きな貢献をしているが、非常に注意深く主導権をとらないようにしているように見える。ORTC以外にもIntelはITWGのChair(責任者)を出しているし、ITRSの責任者のPaolo GarginiもIntelの人間である。しかし、彼等がいるからITRSはIntelが主体であるというロジックには無理があると思う。

ITRSでRoadmapが決まるまでのプロセスを見てみると、ORTCがいろいろなデータを集め解析して、タイミングと線幅のRoadmap案を作っている。この案をIRCの中で議論してRoadmapの数値が決まる。ここで面白いのは案を作り提出するORTCがあまり目立たないことである。実はORTCの部分はIntelの担当者が一人で行い、提案をしている。その意味で、最初の提案の段階ではIntelの思惑が入っているが、IRCでの議論と認定プロセスで、意見がすべて通るわけではなく、Intelの影響力は減少する。考えると不思議ではないのだが、案が提出され、議論の時間が限られていると(Face to faceのMeetingが常に設定されそこで議論される)案を大幅に変えることは出来ないで、Intelの当初の思惑が残りがちである。しかし数値ベースの議論であるから、予想外のことも起きる。そして何が議論されても、Intelは最後には議論の裏に隠れてしまう。それでも少しの思惑が残るが実効性はない。しかし、この議論で出て来る結果はその時の半導体素子の線幅の認定だけである。

ITRSは最後にロードマップとして編集される。ITRSからのメッセージとなるExecutive Summaryの肝心な部分はORTCの人(Intelの担当者)が書いているように思われる。『ここは日本が書いてね！この部分は欧州が書いてくれる？』といったものはあるが、肝心の所は手放していないように感じる。

ITRSの各セッションの原文は基本的にUS TWGから来ているChairが書いている。もちろん「ここを書いて」との依頼はあるが、前述したように、日本人の英語力ではあの文章はなかなか書けない。原案に反対することは出来るが、その際には必ず代替案を出す必要があり、これを英語で出すのもなかなかしんどいので、よっぽどのがないと、絶対反対とは言いにくくなり、殆ど原案通りに、若干の修正で提出され、ITRSは出来上がる。

この意味ではITRSは米国の半導体素子製造メーカーの意見とITWGのChairの意見が色濃く反映されている。米国内の力関係でIntelが表に出ているかという点、ITWGのChairの構成を見ても、Intelが表に出ているようには見えない。Intelの思惑が確実に反映されるのはExecutive Summaryだけである。しかしExecutive Summaryはメッセージであって実効性は無い部分である。ここまでのところを見ると、とてもITRSはIntelのロードマップとは言えない。あえて言えば、ムーアの法則の厳守をうたっているところはIntelの主張そのものである。

## 7-2. ITRS の罫

前に述べたように、技術開発者にとって ITRS が一番有用なのは、ITRS の Potential Solutions に載った途端にスポットライトを浴びるということである。注目され、研究資金が集めやすくなる。今では、ITRS に載れば注目が集まり研究資金が集めやすくなることが知られているので、ITRS に対し売り込みと共に情報の提供が始まっている。ITRS とか ITRS の委員とかに対していつの間にか世界中の情報が集まるようになってきている。

ITRS のコンセプトにより世界中から情報が(自発的に)飛び込んでくると言っても大げさではない状況が作られている。開発費の高騰や開発失敗のリスクを承知で一企業が抱え込んで研究テーマを社外に明らかにしないで単独で開発に走ることを妨げる。優れたアイデアを持ち単独で研究開発を始めたいが資金が不足して始められない。ITRS はこの状況を打破し、すべてを曝け出させる力を持っている。この状況は業界の Top メーカーにとって最良の状況である。Top を走る技術メーカーにとって一番怖いのは、知らない技術でいきなり後ろから頭をパカーンと殴られることである。そのようなことが起こると、急激にシェアを失うことになる。或いは知らない技術に突然メジャーになる機会を与え、業界の立場が逆転する可能性が生じる。

ロードマップ活動によって関連する技術開発の情報が世界中からみな入ってくれば、判断さえ間違えなければ、(競争上の)優位性をキープするのは難しくない。さらに全体を見て、有望なものに重点投資をすれば、さらに優位に立てる。そして、気になる技術があれば、それをロードマップに載せて注目させる。載せておけば、資金がその技術に自然に集まり、その技術に自社で投資する必要がなくなる。しかも、そのような技術の研究開発状況に関する情報を得ることができるため、結果として、自社の投資を少なくすることが出来る。

ロードマップができてから、実はこれが本当にすごいですという隠れた技術を見たことが無い。全部表に出てきている。最近の研究開発のすべてが該当するが、実際に使用できる新規技術の開発には、広範囲の研究開発に多くの研究者と多額の資金の投入が必要で単独で行うことは出来ない。同時に多くの技術が提案されすべてを追うことも出来ない。ITRS に同期する学会活動や、学術的とまでは言えない SEMATECH<sup>†</sup>主催のシンポジウム等を上手に使い、そこで現実の実力の数値を冷徹に見ながら技術を判定する。さらに、ロードマップをうまく使って研究費を他から出させ、開発資金を浮かせる。周囲がオープンになっている情報を判断できる環境を構築し、技術の導入が決まった時にはインフラストラクチャーも整備されている状況を作り出す。技術を取り巻くインフラストラクチャーが重要だが、そういうものの準備という面でも非常に優れたシステムだと考えられる。

## 7-3. IRC の力

Si トランジスタ(Si MOSFET)の物理的な限界が指摘されている。IRC は 5 極の半導体素子製造メーカーの議論の場でも有る。IRC は 2001 年に PIDS: Process Integration, Devices and Structures の ITWG の中に ERD: Emerging Research Devices という新しいグループを立ち上げ、2003 年に新しい ITWG として ERD を独立させた。さらに新しいデバイスの可能性が新規材料に依存すると感じると、2005 年に ERD の中に ERM: Emerging Research Materials を立ち上げ、ERM ITWG を 2007 年に独立させている。

ERD で Si MOSFET に代わる可能性のある素子構造とコンセプトを世界中から集めることを行った。

---

<sup>†</sup> SEMATECH: SEMiconductor MAnufacturing TECHnology. 1987 年に創設された、米国政府(国防総省)と民間半導体メーカ 14 社が共同出資した半導体製造に関する技術の研究開発のためのコンソーシアム。1998 年からは、米国政府からの資金援助をやめ、国際化し、International SEMATECH (ISMT) となった。ISMT は、世界の先端半導体デバイスメーカによる製造分野の研究開発コンソーシアム。

多くの情報が集まったので、次に SEMATECH が主催し研究開発の優先順位をつけるとの名目で、世界中の専門家に集って議論してもらい、最後に投票で現実的なものと非現実的なものに分類してもらって順位付けている。定期的に順位付けの議論を行い、可能性の高いものを見直しを行っている。この結果、可能性の高いものや重要な研究分野には自然と研究者が集まり、研究が進み研究が加速される。優れた研究データや結果が公表されやすくなり、技術の選択が容易になる状況が作られている。

このような流れの中、ある時 IRC で、新しい物性を持つナノ材料の半導体素子への応用の可能性を探ることを目的に、米国の委員が世界中の研究機関でどのような材料の開発を行っているかのリストを作ろうと提案した。さすがに、この提案には各国の合意が得られず、この試みが実行されることは無かった。もし実行に移されていたら、優れたアイデアだけで研究開発に勝利する機会を得るような事が非常に難しくなったであろう。

もう一つの事例として、インテルに次ぐジャイアントである三星は、ITRS の上位にリストアップされているメモリー構造上の課題技術をすべて研究している。例えば、IEDM のメモリー・セッションで 80% 以上は三星の発表であり、三星の発表のないメモリーデバイスの種類は皆無と感じる。このような全方位戦略は、会社の規模が巨大でなければ、なかなか採用できるものではない。このように、ITRS は、最大の勝者に最も有利に作用する傾向が強い。

#### 7-4. Intel の開発

大規模な企業にとって、世界規模での研究開発動向にも作用を及ぼすことができるようになった時に、どのような研究開発スタイルを取るのが最適であろうか。そのような状況下で Intel が最低限維持しなければいけないビジネス上の戦略は、最悪のケースに陥っても、最良の手段を他社と同じタイミングで入手可能にしておくことだと思われる。そういことが可能であれば、自らが採用する技術の競争力を維持できるし、最低限でも既存シェアを維持し続けることができる。

Intel 流の研究開発について Chesbrough<sup>13)</sup>が詳細な研究を行っている。<sup>†</sup> Chesbrough も言及しているように、Intel は 10 年より先の研究開発は行わないことを明言している。10 年より先の研究開発は非競争領域と割り切り、ロードマップの Difficult Challenges (Long Term)や学会で現在の技術の限界を示し、研究の種を大学や研究機関に提供する。学会で発表された有望な或いは気になる技術は業界として学会活動を支援することで盛り立て、必要があれば SRC<sup>‡</sup>などを使い研究資金を提供し、選択肢を増やす活動を推進する。

10 年以内というレンジに入った後も、ロードマップや SEMATECH の会議や学会などを活用し、隠された技術や表に出てきにくい技術を研究開発費が得やすくなる状況を作ることですべてあぶり出し、リ

---

<sup>†</sup>例えば、中馬<sup>14)</sup>は Chesbrough の著作“Open Innovation<sup>13)</sup>”で述べられているインテル流オープン・イノベーションの特徴を以下のようにまとめている。

- 1) 巨大な研究開発投資は行うが、一社だけでは基礎研究は行わない。
- 2) 自社中央研究所の主目的は、世界の産学官が生み出す先端サイエンス・ナレッジを吸収し量産用に統合・活用すること。
- 3) 大学・研究機関での自社参加型研究開発の実施、小規模研究施設の有望大学近辺への設置等により先端技術の世界潮流を逐次把握。自社内外の細切れ的な研究・開発を体系化する中枢組織保有。
- 4) インテルキャピタルを通じ世界のベンチャー企業に投資。主目的は有望な新技術の将来性や実現難度の見極め。出資先の選定・評価には R&D 部門が徹底関与。既存ベンチャーキャピタルとの共同出資が原則。

<sup>‡</sup>SRC: Semiconductor Research Corporation は米国の半導体素子製造メーカーが出資する民間会社で、将来の半導体およびその製造技術の研究開発に資金を提供する。

ストを作り、隠された技術が生じないようにする。さらに、見込みのありそうな共同研究やコンソーシアム活動に加わる。インテルの自前のものばかりでなく、ロードマップで取り上げる、Sematech のテーマに載せる。また、それらを DARPA とか国研のテーマにして研究開発費が付き易いようにして、選択肢となる潜在技術をなるべく沢山育てようとする。その結果、インテル自身にとって、各時点での 1 件あたりの研究開発費を小さく留めつつ、将来利用する可能のあるほとんどの潜在的技術に対して網羅的に目配せをすることができる。加えて、そのようにして研究開発と網羅的に接するプロセスで、研究開発当事者達との人脈を作り上げ、個々の技術の実力を量る手段を入手する。

一方で、10 年以内というレンジに入ると Intel は、10 年後に実際のプロセスで使うことを前提に、独自の技術開発と技術の選択を Intel 社内で始める。その時、研究に(必ずしも)直接に関与しない専門家、技術の膺を見極める能力を持つ(ここでは“技術の目利き”と呼ぶ)が主役となる。上述したように Intel は世界中の網羅的な技術リストを持ち、個々の技術の実力を量る手段(最新の結果)が入手可能である。次々に実体を現してくる広範な技術を見極め、社内の開発プロジェクトを開始する。そして、そのような見極めがある程度までできるようになった段階で、Moore の法則に従って効果的に量産適用ができそうな技術を絞り込み、対応した囲い込み型の社内開発プロジェクトを立ち上げる。上記のような見極めのプロセスでは、“技術の目利き”が、社内・社外開発の技術を同じ重み付け(確実に量産に適用できる技術の中で Intel に一番有利な手法は何か)で客観的に評価することが不可欠である。そうすれば、技術開発の途中で生じるしがらみや技術的偏見に囚われることなく、最良なものを選択できるからである。

この技術の客観的評価が行えるのは、実は凄いことなのである。異なる技術的難しさ、異なる手法、異なる開発の進捗状況、異なる理論等々を持つ 2 つ以上の技術を比較して、3 年後にはこの技術が Intel の製造にとって一番良い技術であると決めなければならない。もちろんバックアップのために、二番目に良い技術の選択も行う。これに対して選択されなかった技術を担当する研究開発者(現在だとグループ)は当然反発する。研究開発の担当者たちは自分の技術が最高と信じて研究している。また、選択によっては、声の大きい大物研究者の意見と異なる結論が導かれ、大きな圧力が生じるのはどこの世界でも同じである。圧力と不満を排除し、Intel が客観的評価を行えるシステムを構築したことで、彼らのオープン・イノベーションは成果を生み出している。

Chesbrough が Intel 流オープン・イノベーション戦略と呼ぶ上記の手法は、世界中のどこかで多くの優れた解決策やアイデアが次々に生まれて来る限り、“王者の戦略”で有り続けられる。ただし、テクノロジーやマーケットの複雑性がさらに増大していくと、優れた解決策やアイデアが生み出される数が思うようには生まれなくなるということも十分に考えられる。そういう時代になってくれば、“王者の戦略”にも新しい工夫が必要になると思われる。

Intel にとって、設計は終了していてもムーアの法則に歩調を合わせる形で物を作る手段が確立できなくなる事態は、供給責任を果たすことでセカンドベンダーを排除し市場を独占することで高収益を維持してきた彼らのビジネスモデルの崩壊を意味する。5-5 章で“Best Scenario”と“Practical Solutions”として議論したが、ムーアの法則に従って躍進を遂げてきた Intel は、どんな時にでも直ぐに量産に移せる“Practical Solutions”を全てのプロセスで常に確保してきた。当然、リソグラフィでも、この法則の死守は至上命令となっている。実際、その時々社内外で利用可能な最良の技術を量産技術としてした上で、2 番目の技術をたとえ生産性やコストが悪くても、日の目を見なくても、バックアップとして準備している。今までは常に Moore の法則が予定した時点で、物を作る手段を確保できてきた。



## 7-5. 懸念 - 今後の課題

パーソナル・コンピュータでの半導体素子の原価内での取り分は仕様でほぼ決まっている。Intel が CPU の価格を従来通り、高価な値付けを維持しようとする、PC を魅力的な仕様に保つためには、メモリーの値段を安く抑える必要がある。ITRS を積み重ねることで、メモリーのように構造と動作原理が単純なものは、原価の分析が可能になったと思えるし、いつのまにか ITRS が価格を導いているように思える。例えば上位のセットメーカーがセットを考えた時に、知識があれば、デバイスの原価を推測出来、メモリーの性能の上限はこのくらいでこれ以上用途は広がらない。従って、値崩れするだろう等々、メモリー自体の価値を大きく上げるのは難しくなると思われる。

ITRSにはメモリーの価格を安く抑える機能があるように見え、その解析は今後の研究課題としたい。

## 8. まとめ

半導体は永遠というか、依然として進化している。ずいぶん前から微細化はもう終わるといわれ続けているが、やはりまだ続いている。しかし、これから 10 年、20 年も微細化が続くとも思えない。さらに、半導体産業の利益率を考えると、状況は困難な方向に向かっているように思える。

ITRS の発展で、ワールドワイドで技術情報が共有され、可能性のあるものがすべてリストアップされ、開発の進捗状況が丸裸になっている。技術と装置が使えるようになるのを待っているデバイスメーカーには有利だが、装置メーカーにとっては(自らの潜在力を)隠すことが出来ない形での、力づくの競争を強いられ状況となっている。デバイスメーカーも装置メーカーも、上位メーカーにとっては、ITRS の存在で技術的な不意打ちを食う心配がなくなっている。一方で下位メーカーにとっては、ひっくり返すチャンスを見出すことが難しくなることを意味している。

ITRS のロードマップは誰のものかを、これからも議論する必要があると考える。今までの議論では、ITRS は現在の勝者や王者のためにあることになる。ITRS のお陰で、自分で躓かない限り王者の座は揺るがず、下位がシェアを獲得するのを難しくしている。第 2、第 3 の Intel、TSMC の勃興にはここでの議論を超えるビジネスモデルの創設と資金が必要となる。同時に半導体素子製造メーカー、装置・材料メーカーの寡占化が進む中、ロードマップが今後どのように機能するのか、興味深いものがある。

著者が本論文を執筆する動機となった日頃の ITRS に対する感触は以下の通りである。この論文で全てを理解できたわけではないので、今後も検討を続けたい。

- ITRS が版を重ねてから、Roadmap には載っていないが実はこれが凄いとかが、これが本命になると言ったものを見かけなくなった。
- 研究開発が難しく、巨額の研究資金も必要になったことから、単独・潜行の研究開発が行えなくなった。また、技術は一連の流れの中にあるので、部分を単独で行っても効果が出ない。
- Intel は ITRS に対する学会活動をうまく使い、(学術的ではない Sematech 主催の Symposium 等)、技術の網羅と最先端の研究結果、数値をすくい上げている。
- ITRS をうまく活用すると、ITRS に記載された技術に研究費を出させ易くする効果がある。
- 必要なのは技術の塊(インフラ・ストラクチャを含む)。全てが揃わないと機能しない。開発費用が膨大になるため、全てを内密に準備できない。
- 孤立した技術は Major になれない。(1 社の研究開発費だけでは研究を始められない。)
- Memory は ITRS により原価が決まってしまう。Logic はあれこれ条件を変えて逃げている。

## 参考文献

1. <http://www.itrs.net/reports.html>  
<http://strj-jeita.elisasp.net/strj/> :JEITA-STRJの半導体技術ロードマップ専門委員会
2. "The way to one quarter micrometer photolithography", Masaomi Kameyama; Journal of Photopolymer Science and Technology, Vol. 6, No. 4, pp. 629-636 (1993)
3. "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", Robert H. Dennard, Fritz H. Gaensslen, Hwa-Nien Yu, V. Leo Rideout, Ernest Bassous and Andre R. Leblanc; Proceedings of the IEEE, Vol.87, No.4, April 1999, pp.668-678.
4. E.F.Schubert, Rensselaer Polytechnic Institute, 2003  
[http://www.ecse.rpi.edu/~schubert/Course-ECSE-6290\\_SDM-2/1\\_MOSFET-5\\_Scaling](http://www.ecse.rpi.edu/~schubert/Course-ECSE-6290_SDM-2/1_MOSFET-5_Scaling)
5. [http://en.wikipedia.org/wiki/Transistor\\_count](http://en.wikipedia.org/wiki/Transistor_count) グラフは著者が作成。
6. 一橋大学 ITRS 研究会資料。オリジナルは McClean Report 2008 に所収。
7. Moore, Gordon E. (1965). "Cramming more components onto integrated circuits" (PDF). Electronics Magazine. pp. 4.  
[ftp://download.intel.com/museum/Moores\\_Law/Articles-Press\\_Releases/Gordon\\_Moore\\_1965\\_Article.pdf](ftp://download.intel.com/museum/Moores_Law/Articles-Press_Releases/Gordon_Moore_1965_Article.pdf). Retrieved 2006-11-11.  
注) ムーアの法則には多くの解説があります。Web 上にも多くのものが有り、例えばウィキペディアの解説などは有用です。(ウィキペディアの場合は日本語版と英語版の両方をご覧ください。両者の記述の差異に興味深いものがあります。)  
[http://en.wikipedia.org/wiki/Moore's\\_law](http://en.wikipedia.org/wiki/Moore's_law)
8. "Lithography Solutions for 32nm and Beyond", Masaomi Kameyama; 2006 Symposia on VLSI Technology and Circuits Short Course (2006)
9. <http://www.inemi.org/cms/about/>
10. "Lithography WG 「次の本命は何か？ そして間に合うか？」", 亀山雅臣; 2002 年度 STRJ ワークショップ [http://strj-jeita.elisasp.net/strj/pdf\\_ws\\_2002nendo/STRJ%20WS\\_プレゼン%20RMの部ver2/4D%20亀山%20030304\\_STRJ%20WS\\_Kameyama.pdf](http://strj-jeita.elisasp.net/strj/pdf_ws_2002nendo/STRJ%20WS_プレゼン%20RMの部ver2/4D%20亀山%20030304_STRJ%20WS_Kameyama.pdf)
11. "Immersion lithography; its potential performance and issues", Soichi Owa and Hiroyuki Nagasaka; Proceedings of SPIE. Vol.5040. pp.724-733 (2003). 著者の許可を受け、現状に合わせて加筆した。
12. "Lithography Solutions for 32nm and Beyond", Masaomi Kameyama; 2006 Symposia on VLSI Technology and Circuits Short Course (2006)
13. "Open Innovation: The New Imperative For Creating and Profiting From Technology", Henry W. Chesbrough; Harvard Business School Press. (2003)
14. "日本の研究開発で求められる戦略とは？", 中馬宏之; NIRA 政策レビュー.2010.7. P.10-13.  
<http://www.nira.or.jp/pdf/review47.pdf>