

半導体産業における日本勢の盛衰要因を探る：  
システム・アーキテクチャの視点から

中馬 宏之

IIR Working Paper WP#14-10

2014年12月



# 半導体産業における日本勢の盛衰要因を探る：システム・アーキテクチャの視点から

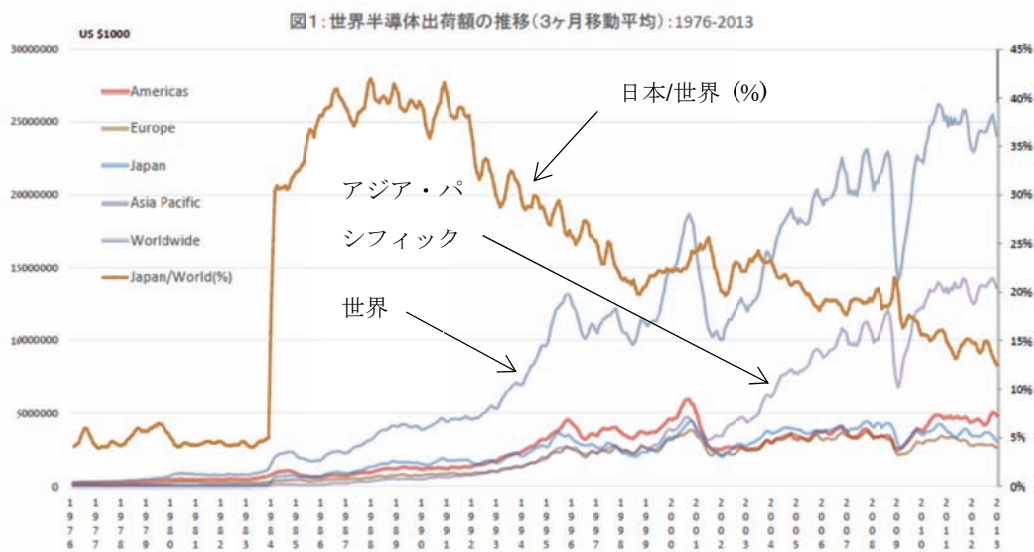
(本論の縮小版は、論文集『沈みゆく船・日本を救え』（東京大学出版会、近刊）第8章に所収予定)

成城大学社会イノベーション学部 中馬宏之

1. はじめに
2. なぜシステム・アーキテクチャなのか？
3. 栄枯盛衰要因の一般化：システム・アーキテクチャの視点から
  - 3-1 凋落を誘発した大きな要因：“4層基板のスパコン”登場とシステム化実装技術
  - 3-2 凋落を誘発した大きな要因：日米半導体協定と“もの造り”の比較優位喪失
  - 3-3 凋落を誘発した大きな要因：DRAM市場のクロックスピード急加速とプロセス技術の複雑化
4. むすびに代えて：何をなすべきなのだろうか？

## 1. はじめに－日本の半導体産業凋落の原因を求めて

日本の半導体産業は、1980年代後半に最高潮に達した後、1990年代半ばから急速な衰退のプロセスを辿ってきている。このような日本の動きとは対照的に、世界の半導体産業は、半導体自体の重要性がさらに加速してきたことを反映し、2000年初頭やリーマンショック後の2009年の大きな落ち込みはあるものの、出荷量・出荷額ともに急速に伸びてきている。このような日本と世界の相反する傾向は、図1の指標群の推移(WSTS<sup>1</sup>:1976-2013)に赤裸々に示されている。特に、この図に示されているオレンジ色の折れ線（座標は右端）は世界半導体出荷額の中の日本出荷額の比率を示しているが、1990年代初頭の40%超から急速に低下、現在では10%を少しだけ上回る程度にまで下落している。<sup>2</sup> この様な日本の著しい比率低下傾向とは対照的に、世界出荷額（座標は左端）を示す緑色の折れ線は1980年代半ば以降に、そして、（日本を除く）アジア・パシフィックの出荷額を示す紫色の折れ線は2000年以降に一貫して大きな伸びを示している。また、図には示されていないが、世界の地域別の半導体投資額で比較すると、1990年には日本比率が51%だったが2013年には6%にまで低下しており、こちらも限りなく存在感が小さくなってきている（Lineback 他（2014））。



<sup>1</sup> World Semiconductor Trade Statistics の略。なお、図1に示されているのは、地域別の出荷額データであり当該地域での生産額ではない。そのため、例えば、台湾 TSMC で生産された iPhone (Apple) 用の半導体を組み込んだ製品が中国の工場を組み立てられて出荷されれば中国地域での出荷となる。そのため、一国の半導体産業の市場シェアをより正確に知るには、高価ではあるが、企業の本社所在地で見た国籍別のデータ利用がより望ましい。

<sup>2</sup> ちなみに、グラフの80年代半ばまでのデータには日本のデータが入っていなかった。ところが、日米半導体協定(1986-95)締結前後の米国からの強い要求もあり日本勢が含まれるようになった。

日本勢凋落の背後要因としては、これまで数多くの仮説が唱えられてきた。代表的なものは、設備投資・研究開発（R&D）投資の不足やタイミングの遅れ、ファブレス・ファンダリモデル（水平統合型モデル）出現への対応の後れ、Intel 流オープン・プラットフォーム戦略<sup>3</sup>による DRAM<sup>4</sup>汎用品（コモディティ）化への認知の後れ、日米半導体協定（1986-1995）に象徴される米国のなりふり構わない強攻策の後遺症、PC の時代に不相応な品質への過剰なこだわり、80 年代後半から急速に進んだ円高基調、ものづくり（製造）重視・価値づくり（設計）軽視の経営スタイル等々である。<sup>5</sup> そのような状況から判断すると、もはや筆者の出る幕などないほどである。

もちろん、本論でもこれらの仮説の妥当性を否定はしないし、そうすべきではない。どのような事象にも表層から深層まで数多くの層（レイヤー）構造が存在しているし、どのようなレイヤーのどのような事象を説明したいかで多数の尤もらしい仮説の提示が可能なのである。ただし、そのような社会科学的仮説の多様性は認めるとしても、これらの仮説の多くには、説明したい事実によって説明したい事実を説明しようとするトートロジー（同語反復）が少なからず見え隠れしている。実際、それらの仮説が真であるとしても、そもそも、次々に湧き上がってくる「なぜ投資不足、ファブレス・ファンダリモデルへの対応や DRAM コモディティ化への認知の遅れ、長期にわたる過剰品質へのこだわり、製造重視・設計軽視の経営スタイル、等々が発生したのだろうか・・・」といった素朴な疑問への一般則的な返答はなかなか得られない。

もちろん、現象の表層から深層まで一枚ずつ剥いでいったにも関わらず、接近方法のまずさから、結局芯がなかったということでは元も子もない。そのような事態を避けるためにも、諸説に耳を傾ける謙虚さは必須である。ただし、もっと深層に迫って背後要因を一般化できないものだろうか？たとえそのような試みの難度が恐ろしく高いとしても、そのような試みなしに今後の克服策など模索すらもできないのではないだろうか？また、そのような問いかけは、難局打開に苦悶している大勢の人々が共通に抱いている焦燥感ではないだろうか？その意味では、下記のアンリ・ポアンカレの指摘は、歴史を越えて、そして、文理を問わず重く響いてくる。<sup>6</sup>

「我々は皆、よい実験と悪い実験とがあることを知っている。後の方の実験は集積しても何にもならない。そういう実験を百個行っても、千個行っても、たとえばパスツールのような一人の真の達人のただ一つの仕事で忘却の打ちに投げ込まれてしまうだけである。・・・では、よい実験とは何か。それは一つの孤立した事実とは別のことを我々に知らせるものであり、我々に予見することを得させる、いいかえれば我々に一般化をすることを得させるものである。・・・人の断定し得ることは、類似の環境においては類似した事実が生じるだろうということだけである。だから予見するためには、少なくとも類似に助けをかりなければならない。いいかえればこれはもう一般化することである。」（ポアンカレ『科学と仮説』（1902 年、岩波文庫）、171-172 頁）

本論の試みは、大言壮語に終わる危険性を認識しながらも、上記のポアンカレの指摘に社会科学者として可能なかぎり忠実にあろうとすることである。その際に特に留意する点は、事象の特定レイヤーの状況を高い解像度で描くボキャブラリー（語彙）を保有する多様な人々との対話と連繫（C&C: Communication & Collaboration）である。実際、「我々の視野は、我々が言葉で表わせる範囲に限定されてしまう。これは思考にとっては不可欠

<sup>3</sup> インテル流オープン・プラットフォーム戦略とは、インテル製 MPU（Microprocessor Unit）を活用するために不可欠な周辺ハードウェアやソフトウェアを徹底的にオープン化・汎用化して低価格ないし無料で提供し、同社製 MPU の入ったパソコン市場自体を急拡大させようとする戦略（詳しくは Burgelman（2002）や Gawer 他（2002）、（2007）参照）。

<sup>4</sup> Dynamic Random Access Memory の略。ダイナミックと呼ばれるのは、記憶を保持するために常にリフレッシュが必要なためである。主に、PC やスマホなどのシステムを動かすメモリとして使用される。

<sup>5</sup> これらの諸説のいくつかに関しては、西村（2014）に、同氏の持論と共に要領よくまとめられている。

<sup>6</sup> 筆者は、この引用にある 社会科学の“実験”＝聞き取りを主体としたフィールドワークと理解している。

であり、避けられないことである。」(Winograd 他(1986)、邦訳 157 頁)という孤立した個としての思考限界の突破は、上記の C&C なしにはとても実行できない。もちろん、C&C を掲げて多様な人々の協力を得ながら多層にまたがる形で深層の規則的パターンに到達しようとする、多様性の増大に伴うコミュニケーション効率の低下が不可避となるので、核心に到達できずじまいになる可能性も高い。以下では、そのようなことは承知の上で、敢えて多様性とコミュニケーション・ギャップのトレードオフ関係をどうにか克服するための試行錯誤に挑戦してみたい。<sup>7</sup>

## 2. なぜシステム・アーキテクチャなのか？

上記のポアンカレ的な意味での一般化を試みるために、やや唐突に思われるかもしれないが、本論ではシステム・アーキテクチャに着目することからはじめたい。そのために、まず、アーキテクチャの定義に遡ってみよう。本論では、後々の議論のために、下記の国際電気電子工学会(IEEE)の定義が極めて重要だと考える。

「アーキテクチャとは、様々な部品、部品間の繋ぎ方、部品の(使用)環境との関係に組み込まれている(製品)システムの基本構造とそのような基本構造に関する設計・進化(方向)に関する指針である。」(“Architecture is the fundamental organization of a system embodied in its components, their relationships to each other, and to the environment, and the principles guiding its design and evolution.”) [IEEE Standard 1471:2000 – Recommended Practice for Architecture Descriptions of Software-Intensive Systems]

この IEEE 定義の前半は、使用環境に配慮しながらも製品を構成している部品の繋ぎ方としてのアーキテクチャを記述しているので、常識的な狭い意味での“製品アーキテクチャ”とほぼ同義である。例えば、その真偽は別として「米国企業が得意なのは「組合せ重視」の製品、日本企業の得意なのは「擦合せ」重視の製品である」(藤本(2000)、11 頁)といった主張がなされるときのアーキテクチャは、ほぼこの前半の定義に対応している。実際、同書では、アーキテクチャ＝「構成要素間の相互依存関係のパターンによって表されるシステムの性質」と定義されている。他方、IEEE 定義の後半は、前半に定義された製品アーキテクチャ自体の設計指針や進化方向性(進化可能性)にまで言及しており、従来型の製品アーキテクチャ論(例えば、Simon(1962)、Ulrich(1995)、Suk(2001)、日野(2002)、柴田他(2002)<sup>8</sup>、中川(2012))の範疇を飛び越えた広義なものとなっている。

このような広義の意味でのアーキテクチャ(システム・アーキテクチャ)を探索するためには、設計しようとする製品システム自体をサブシステムとして包摂するより上位のシステムに関する的確な知識と、そのような上位システムの中で自らの製品システムを第三者的な視点から位置づける“メタ認知能力”が不可欠となる。したがって、広義の意味でのアーキテクチャ探索は、そもそも定義からして、一企業・一組織内に留まる形ではなかなか実行できない。企業・組織や産業の境界、そして場合によっては国境を頻りに飛び越えた C&C が必須となる。本論では、日本勢凋落の背景に関するポアンカレ的な一般化のヒントが、この広義のアーキテクチャ探索の非効率性＝“対話と連繫(C&C)の失敗”に深く関わっていると主張する。

実際、市場やテクノロジーの移り変わっていくスピード(“クロックスピード”(Fine(1998))が飛び抜けて早い半導体産業では、数年で償却しなければならない莫大な設備投資や R&D 投資が必須であるもかかわらず相変

<sup>7</sup> 本論は単著の体裁を採っているが、その背後で、国内外での 10 年以上にわたる多数の半導体関連実地調査、内外の関連産業を支えてきた一線級の科学者・エンジニア・熟練技能工達とのコラボレーションによって支えられている。この場をお借りして、御協力いただいた方々に深く感謝申し上げます。

<sup>8</sup> 柴田他(2002、第一章)ではアーキテクチャの進化に着目しているが、用いられているアーキテクチャの定義は、ほぼ IEEE 定義の前半部分に相当している。

化が短期的で頻発する。そのため、上記の広義の意味まで含めたアーキテクチャ探索の重要性が極めて大きい。しかも、半導体製品（デバイス又はチップと呼ぶ）に組み込み可能な機能の数が指数関数的に急増してきたため、アーキテクチャ探索自体が格段に難しくなってきた。半世紀にわたる Moore の法則<sup>9</sup>の進展に伴って、半導体デバイスの微細化による集積度が2～3年で倍増し、数ミリ角のデバイスに莫大な数のソフトウェアとハードウェアの機能を集積することが可能になってきたことによる。しかも、インターネットに象徴されるように、生みだされた高精細な半導体チップを組み込んだ電子機器の活用によって世界の連結度が急速に高まってきた。その結果、個々の経済主体の実世界での諸活動が、クラウドシステムに象徴される“自己再帰的な社会反射鏡”（Giddens (1990) 参照）を介して瞬く間に自らに跳ね返ってくるようになってきた。リアルタイム（即時）での情報伝達、ジャストインタイム（必要なものを、必要なときに、必要なだけ）での情報利用、ズームイン・ズームアウト（拡大・縮小）が自在な分析視点の切り替え、歴史上類例のないあらゆる境界を越えた対話と連繫（C&C）の広がり、という風に。その結果、半導体デバイスの流行り・廃りのサイクルが高速で回るようになり、進化可能性の高いシステム・アーキテクチャが組み込まれた半導体デバイスでなければ直ちに陳腐化してしまうようになった。

将来の不確実性が大きくクロックスピードの速い産業では、特定製品アーキテクチャ内での改良・改変と製品アーキテクチャ自体の検索とを同時に、しかも企業の境界を頻繁に飛び越える形で迅速に実行しなければならなくなる（Watts (2003, 第9章)）。そして、そのためには、半導体デバイスでも企業・組織でも、情報の伝達速度の高速化、情報の応答遅延速度の低減、環境変化への事前・事後の柔軟性の向上、走りながら考えるための結果ではなくプロセス（過程）の”見える化”の4点が何よりも重要となる。<sup>10</sup>ところが、深い階層構造（ヒエラルキー）を持つ旧来の垂直統合型企業では、トップダウン方式での情報伝達速度は早い情報混雑が発生しやすいボトムアップ方式での伝達速度が遅くなる。前者の速度が元々遅い（“おまかせ型”）という美德を持つ日本勢の場合、後者の相対的な遅れはさらに致命的となる。

情報混雑に喘ぐボトムアップ方式を補強するためには、階層構造のフラット化（Friedman (2005)）、遠く離れた階層間にも跨がる太いバイパス経路の設置（Watts (2003), 第9章）、デジタル化が可能にした詳細なプロセスに関する一目瞭然化情報の階層内・階層間共有（Zuboff (1984), 第9章）、そのための階層内情報の正確な抽象化と階層間情報の明瞭・迅速な遡及を促進する仕組み（D’ Souza 他 (1999), 序章）、等々の組織イノベーションが不可欠となる。言い換えれば、旧来の垂直統合型企業の組織経営スタイルの存在意義が大幅に薄れ、情報の伝達・応答速度に優れた柔軟なコミュニケーション構造を持つ新しい企業形態や産業形態が必須となる。そして、日本勢が広義のアーキテクチャ探索競争で劣後してきた原因には、かつて世界に誇った垂直統合型組織の綻びとその ICT<sup>11</sup>活用型の組織変革の後れが大いに関係している。

しかも、最終ユーザーの潜在欲求の個性化・多様化が世界規模で急速に拡大するなか、半導体デバイス自体が最終製品に限りなく近づいて来た。そのため、半導体メーカーのみならずシステムメーカーさえも、自社内・自組織内で閉じた形では、そもそもどのようなスペック（仕様）のデバイス・製品を作れば良いかさえないかなか分からなくなってきた。妥当なスペックの決定を行う際に必要な分析対象が、スタンドアロン（孤立）型で画一な大衆としての消費者から、インターネットで複雑に絡み合う個性化・多様化した個人としての消費者に変化してきたことによる。しかも、後者を分析対象とするには、彼らの顕在化した消費行動だけではなく、彼らの行動

<sup>9</sup> インテルの G. Moore が 1960 年代半ばに提唱したとされる半導体の集積度が 2～3 年で 2 倍になっていくという経験則。ただし、だれが最初の提唱者であるかに関しては異論もある（例えば、Lojek (2007) 序章参照）。

<sup>10</sup> これらの四つは、半導体設計で強調される“バンド幅”（Band-Width）の高速化、“レイテンシー”（Latency）の低減、“リコンフィギュラビリティ”（Reconfigurability）、“アサーション”（Assertion）の導入の向上にピッタリ相当している。なお、Assertion とは、組込ソフトウェア開発設計を行っていく過程で、どのようなモジュール化（構成要素間の切り分け方法）を行えば局所的な動作がシステム全体に大きな攪乱を与えないようにできるかをソフトウェアの振る舞いの過程を見ながら逐次探っていくための窓の役割を果たす。（参考：<http://techon.nikkeibp.co.jp/article/WORD/20090107/163733/>）

<sup>11</sup> Information and Communication Technology の略。

を支える意識下の価値体系やその形成過程にまで文理連繋して踏み込むことが必須となってきた (Zaltman (2003) 及び Zaltman 他(2008)、矢野 (2014))。<sup>12</sup> この様な意味で、必要とされる消費者行動分析の幅と深さが、ワンランクもツーランクも上昇してきた。

このような時代になると、旧来のマーケティング活動によって大衆の消費活動の中から最大公約数としての価値 (集合的無意識: Archetype) を抽出して大衆に提示するといった“上から目線”の「価値づくり」スタイルが廃れ<sup>13</sup>、彼らの日常活動を支える主観的な価値体系 (“Relationship Value”、Zuboff 他 (2002) 第 1 章) そのものに分け入るエスノグラフィック (参与観察的) な「価値聞き取り」スタイルが支配的となる。各自が個性実現のために望む商品特性やその組合せは極めて多様なので、彼ら固有の価値観やその変化方向に関するメタ情報をも恒常的に提供してもらうためである。そのため、妥当な製品スペックに辿り着くには、様々な企業・組織間の対話と連繋 (C&C) を必須条件としつつ、ICT を駆使した消費者/ユーザーへの親身のサポートを恒常的に提供することが不可欠となってきた (Zuboff 他 (2002) 第 10 章)。そして、日本勢は、誠に残念ながら、先の広義の製品アーキテクチャ探索競争だけではなく、このような広汎な叡智結集型の「価値聞き取り」スタイルを必須とするスペック探索競争でも劣後しつつある。

### 3. 栄枯盛衰要因の一般化：システム・アーキテクチャの視点から

繰り返しになるが、本論では、上記のシステム・アーキテクチャの視点から日本勢凋落の背後要因の一般化を試みる。そのために、1980 年代後半に汎用 DRAM で絶頂期にあった日本勢がどのような契機で衰退プロセスを辿りはじめたのか？ そのようなプロセスにシステム・アーキテクチャがどのように関わってきているのか？ 等々に関して、現象の表層から深層までを一枚ずつ剥いでいく形で詳述してみたい。なお、多くの業界通には、「DRAM ビジネス衰退の背後要因・・・」と言い始めた途端に、「DRAM？ 古いね。DRAM は至って簡単なデバイスだよ。今や格段に複雑な SoC (System-on-Chip) の時代なんだから、SoC でなぜうまく行かないかをやってもらわないと・・・」とコメントされる方が多い。そのようなコメントに対し、この節では、DRAM も SoC も本質的な所では類似のパターンで躓いてきたのだという命題を強調するために、とことん DRAM 事例にこだわってみたい。

先に紹介した図 1 では、半導体出荷額全体の様子を日本と世界で比較し、日本の凋落傾向が顕著であることを指摘した。このような傾向は、誠に残念ながら、ほぼ全ての種類の半導体デバイスに見受けられる。その点を例示しているのが、図 2 (各種半導体デバイスの世界出荷額の推移) と図 3 (各種半導体デバイスの日本での生産額の推移) である。二つのグラフでは、同じデバイスは同じ色に統一してある。図 2 の一番上の青い折れ線は、半導体デバイスの中の MOS<sup>14</sup> と呼ばれるタイプのロジック半導体の推移 (1984-2012) である。MOS ロジックには、主に PC 用やスマートフォン用などの MPU (Microprocessor Unit) や SoC 等が含まれている。また、MOS メモリはオレンジ色の折れ線で示されているが、主なデバイスは、DRAM とフラッシュメモリー (Flash memory) である。図 2 に示されているように、世界では、ほぼ全ての種類の半導体デバイス出荷額が、長期にわたって上昇傾向を示している。例外は、大型コンピュータの心臓部を担ってきたバイポーラ (Bipolar) 型のデバイスのみである。ところが、図 3 に示されるように、日本の半導体デバイス生産額は、1990 年半ばに MOS メモリで急速に低下し、2000 年を過ぎる頃からすべてのデバイスで下落してきており、深刻な凋落傾向にあることが一目瞭然である。<sup>15</sup>

<sup>12</sup> したがって、Lancaster (1966) が半世紀も前に指摘した「人々は、商品そのものの選択ではなく商品を様々な組合せたパッケージの選択によって自らの価値選択を行う」とする消費理論の現実味がさらに増してきた。パッケージ選択には意識下の価値ネットワークが深く関わるからである。

<sup>13</sup> この意味では、以下のように Schumpeter (1935, 65 頁) の唱えるイノベーションも同類である：“It is, however, the producer who as a rule initiates economic change, and consumers are educated by him if necessary;”

<sup>14</sup> Metal-Oxide-Semiconductor の略。現在主流となっている半導体のタイプである。

<sup>15</sup> なお、日本のグラフは経産省のデータ (『生産動態統計』) に基づいたものなので、項目や変更履歴の違いもあり、WSTS のデータとうまく整合性を取るのには難しい部分がある。

図2: 世界の主要半導体製品別市場出荷額(WSTS):1984-2012

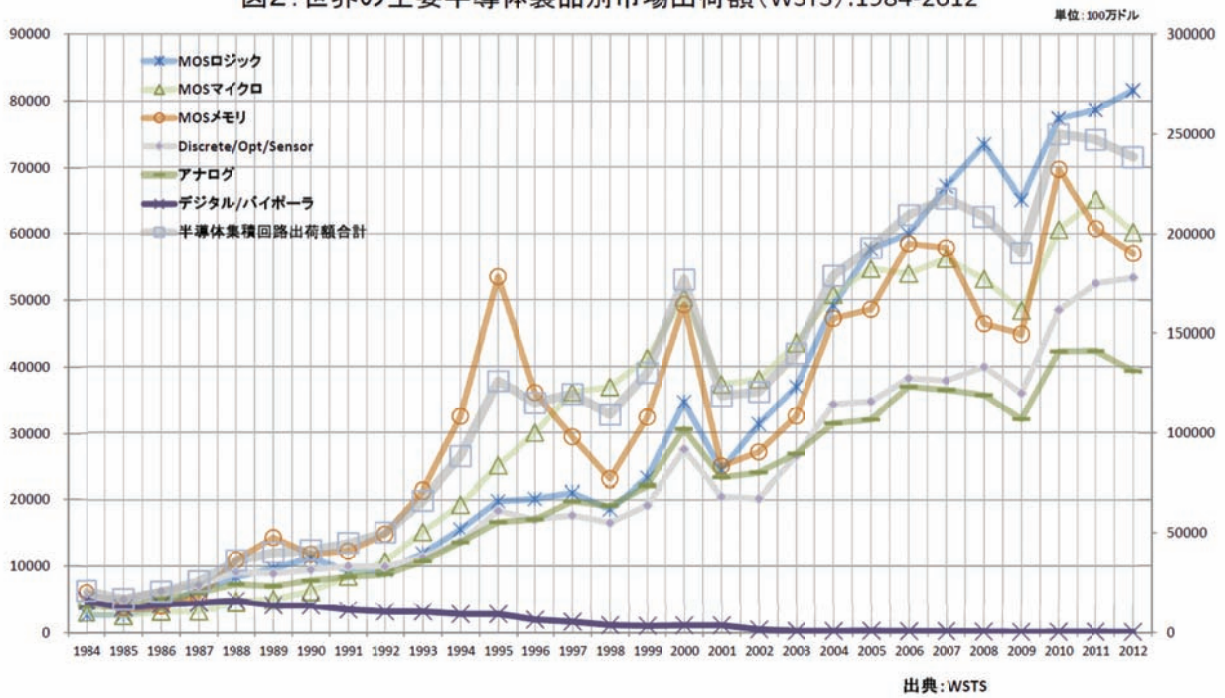
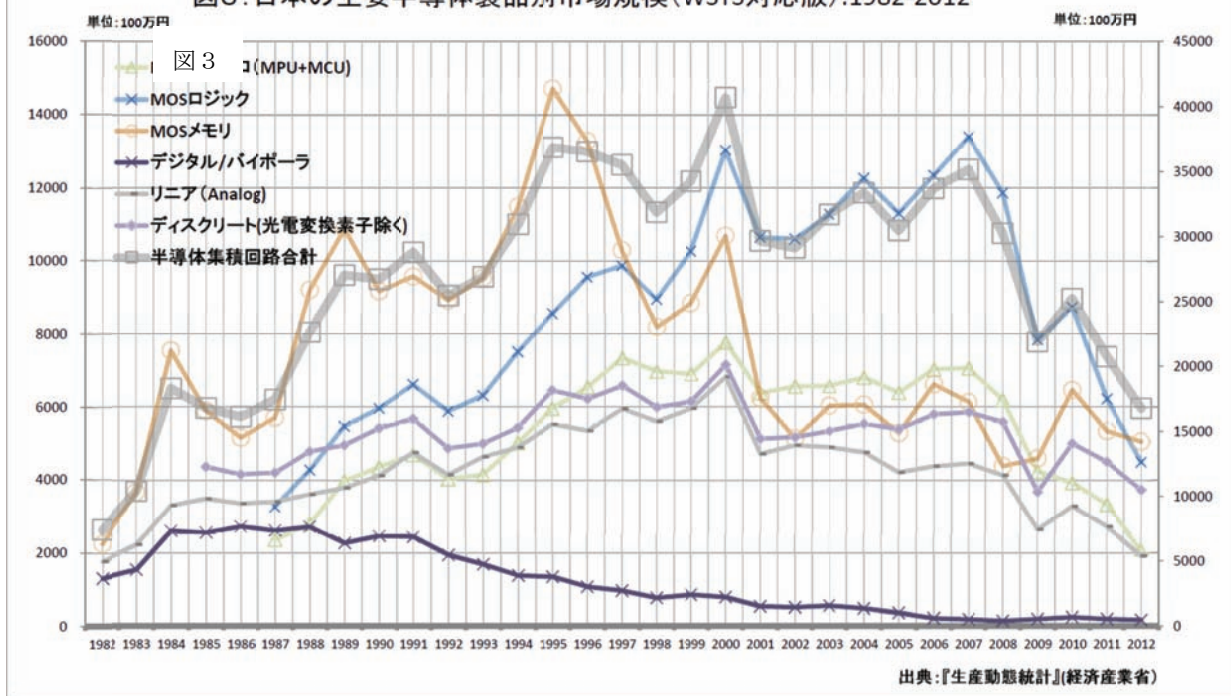


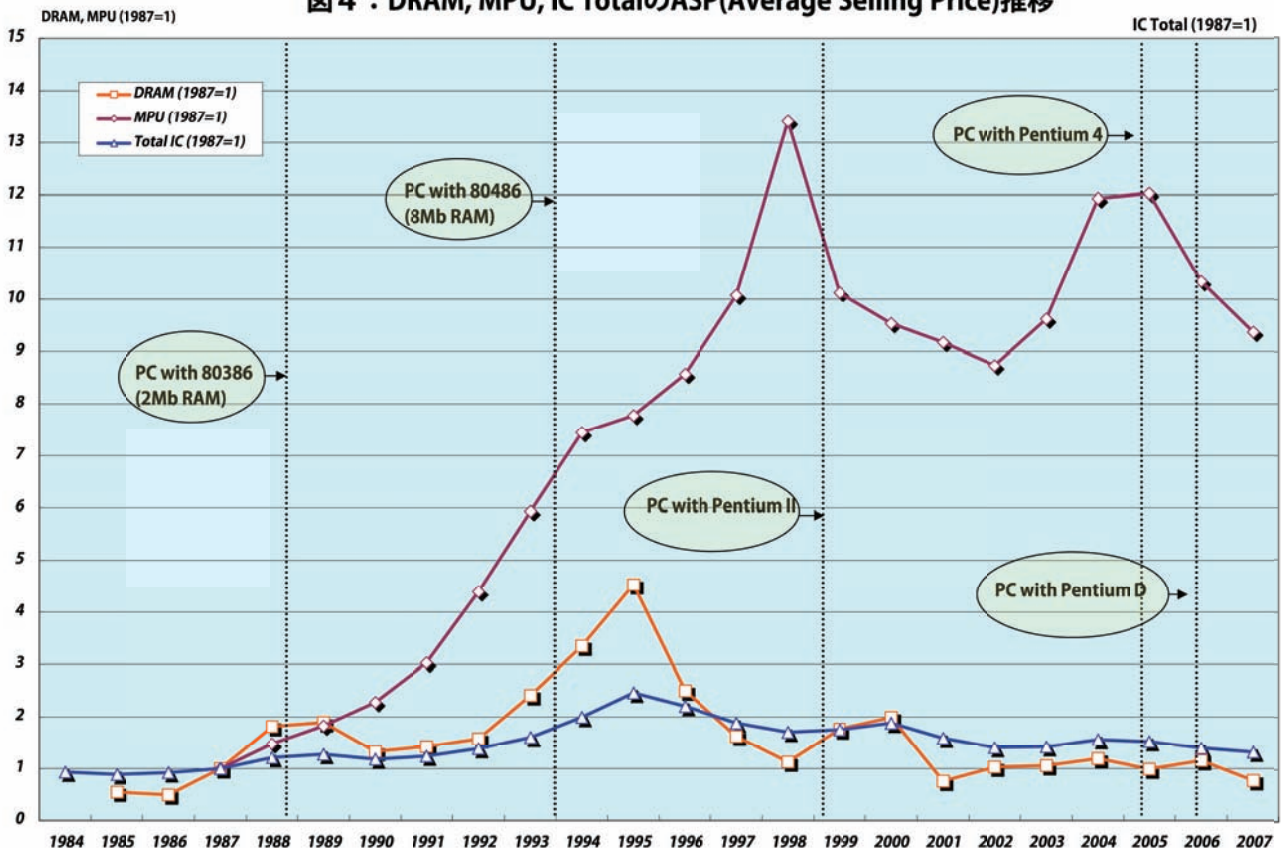
図3: 日本の主要半導体製品別市場規模(WSTS対応版):1982-2012



1990年代前後で世界の頂点に達した日本勢を震い上がらせたのが、95年末から始まったDRAM価格の大暴落だった。その様子は、DRAMと主要なMOSロジックであるMPU及びIC(集積回路)全体の平均単価の推移を示している図4に示されている(図2及び図3のMOSメモリも参照)。実際、DRAMの平均単価は、96年以降大幅に下落していった。その結果、日本メーカーは2000年前後までに次々にDRAM市場から撤退、最後まで残っていた日立・NECの合併企業としてスタートしたエルピーダも2014年にMicron Technology(米国、以後マイクロンと呼ぶ)に吸収された。



図4：DRAM, MPU, IC TotalのASP(Average Selling Price)推移



出典：WSTSならびにMacClean Report (1998), (2006)

### 3.1 凋落を誘発した大きな要因：“4層基板のスパコン”登場とシステム化実装技術

日本勢凋落の基本要因は、世の常ではあるが、絶頂期にあった1980年代半ばに既に深く忍び寄っていた。それは、表1に示されるIntel製MPUの急激な高速化に関連していた。この表には、Intel製MPUの内部（動作）クロックとそれが搭載されているマザーボード<sup>16</sup>上の各種デバイス間同期用クロック（外部クロック）が年代別に示されている。表によれば、内部クロックは、1989年導入の初代80486で既に30MHzに近づいており、1993年の初代Pentiumでは66MHz、1995年のPentium Pro至っては166MHzにまで達している。1980年代に一世を風靡したCray社のスーパーコンピュータ（スパコン）を遥かに上回るほどの高速化が90年代半ばには達成されていたのである。

表1：スパコン（Cray）対パソコン（インテル）のクロックスピード

製品名	導入年次	CPUクロックスピード(Mhz)	マザーボード・クロックスピード(Mhz)
Cray 1 A	1979	80	80
Cray XMP-22	1984	112	112
Intel 80386	1985	16	16
Intel 80486	1989	25	25
Intel 80486DX2	1992	50	25
Intel Pentium	1993	60	60
Intel Pentium Pro	1995	166	66

<sup>16</sup> MPU を中核にして DRAM その他の周辺デバイスを統一的に配線して動作可能にするためのコンピュータ用プリント基板（Print Circuit Board）。

MPU と DRAM 等の周辺デバイスを搭載するマザーボード上の配線ネットワークの中心には、チップセット<sup>17</sup>と呼ばれる中核デバイスがある。そして、良く知られているように MPU の動作クロックが 30MHz を越えると、このチップセットと DRAM 等の周辺デバイスとの間で信号の遅延・揺らぎ・歪み、信号線間の干渉といった信号品質 (Signal Integrity) の劣化問題が深刻化する。さらに、40MHz や 50MHz を越えると、デジタル信号が単純な矩形波では扱えなくなり、アナログ信号的な扱いが必要になる。<sup>18</sup> そのため、MPU⇄チップセット⇄周辺デバイスの間の信号品質の確保には、システム全体を睨みながらデバイス間の正確な信号伝送距離を最適化する技術 (システム化実装技術) が不可欠となってきた。つまり、日本勢の絶頂期と重なる 1980 年代末になると、デバイス間の伝送距離が無視できる回路 (集中定数回路) の時代に代わり、伝送距離を厳密に考慮した回路 (分布定数回路) の時代が訪れた。<sup>19</sup>

そのような時代の到来を反映し、1980 年代半ばを過ぎる頃になると、大型コンピュータ (メインフレーム) 用の JEDEC (Joint Electron Device Engineering Council) 標準を満たした DRAM が、IBM 互換パソコンでは信号品質の問題のために動作しないという信じがたいケースが少なからず発生しはじめた。実際、当時を知る Intel 技術者への聞き取りによると、このような問題を解決するため、Intel は、当時から DRAM メーカーに対してメインフレーム用に定められた JEDEC 標準に加えて満たすべき追加要件の提示を非公式に行っていたという。

信号品質の問題が廉価版の IBM 互換パソコンで特に発生しやすかった理由は、普及型パソコンを可能なかぎり安価にするためにマザーボード基板内部の層数を最低限に留めたためである。事実、当時の Intel は、“4 層基板”での動作をターゲットに定めた。ところが、自社の高速な MPU を 4 層のマザーボード基板で安定動作させるには、極めて難度の高いシステム化実装技術が必要だった。難度が高かった理由を実感するために、1980 年～90 年に販売された普及型パソコン、同パソコンより高価なワークステーション、ワークステーションより高価だがメインフレームより小型で安価なミニコンピュータ、メインフレームの四つのタイプのマザーボード基板の積層数を調べてみた (表 2)。<sup>20</sup> この表によれば、日立製メインフレームの M680-H や M682-H では、実に 20 層を超える極めて高価な多層高密度基板が使用されていた。そのため、Ohno 他 (1994) によれば、当時の普及型パソコンに比べて遙かに高速な MPU が使用されていたにもかかわらず、ピン数や各種デバイスの配置、デバイス間の配線方法や配線長等々の決定を、信号品質の問題を起こすことなく 99.9%自動化できていた。

表 2: 各種コンピュータのマザーボード (基板) 積層数

メーカー	製品種	製品名	マザーボード(PCB) 積層数	導入年次
NEC	パソコン	PC9801UX21	4	1987
SUN	ワークステーション	SPARCstation SLC	8	1990
IBM	メインフレーム	3081	18	1980(推定)
日立	メインフレーム	M680-H, M682-H	20~22	1985(推定)
DEC	ミニコン	VAX9000	20	1989(推定)

ところが、個人ユーザーを対象とする普及型パソコンの場合、マザーボードの 4 層という厳しい制約によって、極めて高度な分布定数回路上の工夫が必要とされたのである。しかも、驚きであるが、そのような “4 層基

<sup>17</sup> チップセットとは、MPU と DRAM、HDD 等の記憶装置やキーボード、グラフィック装置その他を繋いで効率的な制御を司る役割を持つマザーボード上の中核となる論理制御装置。

<sup>18</sup> 以上については、Goyal (1994)、Lipman (1996) 参照。

<sup>19</sup> この点に関しては、明星大学の犬塚寛治先生 (元日立の実装技術開発の重鎮) より懇切丁寧に教えていただいた。

<sup>20</sup> PC98UX に関しては中心部幅で 4 層、SPARCstation SLC に関しては均等間隔で 8 層の銅箔層の存在を各々実機のマザーボード切片的に光学顕微鏡観察で筆者確認。また、M680-H に関しては Ohno 他 (1994)、IBM3081 と VAX9000 は ICE (1997) 参照。

板のスパコン”用のシステム化実装技術は、80年代半ばにおいても Intel 内には存在しなかった。この点に関して当時の Intel 技術マーケティング部門トップは、「今までビットだとかバイトだとかしか考えてこなかった連中に、システムのレベルで考えさせることは大きな挑戦だった。」(Burgelman 他 (2002)、邦訳 258 頁)と述懐している。

したがって、Intel が“4層基板のスパコン”市場で生き残るためには、MPU をサブシステムとして含む広義の意味でのマザーボード・アーキテクチャを、社外のリソースに全面的に依存しながら探索しなければならなかった。そのような広義のアーキテクチャがないまま高速 MPU を次々に市場投入しても、普及型パソコンへの組込がどんどん難しくなるため、自らのビジネスの破綻に繋がってしまうことが歴然としていたからである。<sup>21</sup> Intel は、この困難な状況を打開するために、MPU 市場における大きな市場シェアを背景に、外部リソースを徹底的に集積・活用する仕組みを導入した。中でも、設計ベンダーや半導体メーカーに呼びかけて 1990 年代初頭に設立された IBIS<sup>22</sup> Open Forum が象徴的である (<http://www.vhdl.org/ibis/>)。<sup>23</sup>

IBIS モデルとは、信号品質に関連するシステム化実装技術上の難題をシステムレベルでのシミュレーションを多用することで解決するためのものである(庄司・前田 (2009))。しかも、IBIS モデルでは、当時一般的だった同類の SPICE (Simulation Program with Integrated Circuit Emphasis) モデルとは異なり、半導体メーカーのノウハウの塊であるデバイスの内部構造に関する情報を必要とせず、デバイスがそのインターフェース(接触面)を通じて外部のデバイスとやりとりする信号情報(より正確には“等価回路”<sup>24</sup>)を活用するだけでシミュレーションが可能だった。IBIS の戦略性に関しては後述するが、Intel は、上記の自社の抱える難局を打開するために、1989 年にチップセット市場に、そして 1993 年に初代 Pentium 用マザーボードで市場に参入し、たちまちのうちに両市場で突出した市場シェアを占めるまでになった。

チップセット市場参入に際してインテルにとって幸運だったのは、米国ファブレスメーカーの嚆矢である Chips & Technologies (C&T 設立は 1984 年) が 1986 年に“革命的”汎用チップセット (CS8220) を生みだしていたことであった (Mueller (2012)、第 4 章)。実際、C&T 製のチップセット登場以前には、高度なチップセットやマザーボードの設計ノウハウは、Compaq や Wang 等の先端パソコンメーカーの独壇場だった。言い換えれば、インテル製 MPU は、この頃までは、上位システムとしての他社製マザーボード・システム内のサブシステムという位置づけに甘んじていた。なお、C&T とほぼ同時期に Xilinx や Qualcomm といった今や世界を席巻するファブレスメーカーが誕生した。そして、その背後には、1970 年代末から本格的に始まった“Mead-Conway 革命”とも称される設計と製造の分離を半導体産業に促した大きなイノベーションが存在した (Nenni 他 (2014) 第 4 章)。ファブレス・ファクトリーモデルのイノベーションである。

IBM 互換パソコンは、マザーボードと必要な部品を買ってくれば素人でも DIY (Do-It-Yourself) で組立てることができるモジュール型製品の典型として知られている。そのように認識することは、結果論 (after-thought) としては正しいと思われる。ただし、先のポアンカレの一般化を目指すためには、結果としてそういう堅牢なモジュール形態が生み出されるに至った本質的な要因がさらに重要であり、この要因の解明なしには日本メーカー凋落の本質的な理由が理解できないと考えられる。以下では、この点をクローズアップするために、IBIS の果たした役割にもう少し触れながら深掘りしてみたい。

結論を先取りすれば、Intel 流 IBIS の導入により、先端 DRAM メーカーにとって、自社製品を上位システム内で位置づけるメタ認知能力獲得の学習機会が大幅に減少した。そのような学習機会の喪失は、先端技術を誇った日本勢にとってビジネス上のスイートスポット喪失を意味した。そして、抽象度がワンランク上がった市場に

<sup>21</sup> この辺りの事情に関しては Mueller (2012, 20th) 第 4 章に詳しい。

<sup>22</sup> Input Output Buffer Information Specification の略。

<sup>23</sup> IBIS の重要性に関しては、元日立・前エルピーダで実装開発を主導されていた安生一郎氏に教えていただいた。

<sup>24</sup> 複雑なデバイスの内部要素を、その特性を表す最小限の要素に単純化した回路。

君臨することになった Intel の土俵の中で、スイートスポットを喪失して視界不良に陥った日本勢は、後述するパターンで旧来の競争領域での汎用品による価格競争に追い込まれていった。

同じ構図は、1990 年以降のデルコンピュータ大躍進に象徴されるように、Compaq や Wang 等の先端 PC メーカーにも当てはまった。旧来のコンピュータメーカーでは、IBIS のような幅広い叡智結集型の大局最適化ツールを保有することができなかったからである。その結果、1990 年代半ばを過ぎる頃になると、先端 PC メーカーは、インテルにとって、中核部品としての MPU とその周辺デバイスから構成されるシステム・アーキテクチャ探索競争の競争相手ではなくなってきた。そして、彼らに残された領域は、サーバー市場を例外とすれば、さらに激しい競争が待ち受けるワンランク上の汎用 PC 組立市場だけになった。日本語という参入障壁に守られていた NEC PC98 をはじめとする国内仕様のパソコンが、日本語が簡単なソフトウェア処理だけで扱えるようになった DOS/V 機と呼ばれる多言語対応の格安 IBM 互換パソコンの登場と共に減っていった背景でもある。

IBIS モデルを動かすには、IBIS 用 DRAM 関連パッケージ・モデルに代表される数多くのサブモデルの作成が必要となる。つまり、MPU を取り巻く周辺デバイスメーカーの協力が不可欠である。しかも、生半可な協力では作成できず、例えば DRAM の場合、日立と Samsung といった同業他社間で役割分担が必要なほどのリソース投入が必要だったという。<sup>25</sup> しかも、Intel だけが、DRAM を含む周辺デバイスのサブモデルを全て集めてマザーボード・レベルでの大がかりなシステム・シミュレーションを実行できた。IBIS モデルに基づくシミュレーション結果は、もちろん協力 DRAM メーカーにもいち早くフィードバックされるので、正常・安定動作する DRAM 仕様をより早く獲得できた。さらに、後述するように、1990 年代後半以降の急激な MPU 高速化に伴って DRAM 要求仕様が大幅に異なる Intel 製チップセットが次々に投入されたので、Intel からのサポート情報が提供されない限り、とても市場のクロックスピードについて行けなくなった。<sup>26</sup> このように、IBIS には、Intel と周辺デバイスメーカーとの利益相反問題解決の仕組みが上手に組み込まれていた。ただし、“4 層基板のパソコン” の正常・安定動作を保証するためには、徹底した標準化・モジュール化に行き着くことが必然であった。その結果、DRAM のコモディティ化が格段に促進され、DRAM メーカー間に激しいコスト競争を誘発した。<sup>27</sup>

IBIS 的な世界が出現する以前は、有力な日本勢は、大型コンピュータメーカー用が中心であった JEDEC 標準の策定に積極的に関与しながらも、その中核である IBM 等の優良顧客への密着営業によって上位システムに関する解像度の高い特性情報や開発動向を獲得し、優れた独自技術を組み込んだ DRAM を提供していた。さらに、日立や富士通、NEC などの日本の主要な DRAM メーカーは、最先端メインフレームのメーカーでもあったため、上位システムに関する高解像な開発情報を獲得できる貴重な学習機会も保有していた。ところが、大量生産方式を旨とする“4 層基板のスパコン”の登場は、そのような旧来の密着型開発営業方式を時代後れにしていった。しかも、高速・高性能化した Intel 製 MPU は、メインフレームやミニコン・ワークステーションの市場をも大きく浸食していった。そのため、メインフレーム部門の縮小・解体につれて、DRAM を主要製品としていた各社の半導体部門との関係が希薄化し、同部門に長年蓄積されていたシステム化実装技術自体も途絶え始めた。<sup>28</sup>

### 3.2 凋落を誘発した大きな要因：日米半導体協定と“もの造り”の比較優位喪失

1986 年にはじまり 1995 年に幕を閉じた日米半導体協定は日本勢への供給制限を課したため、原価を大幅に

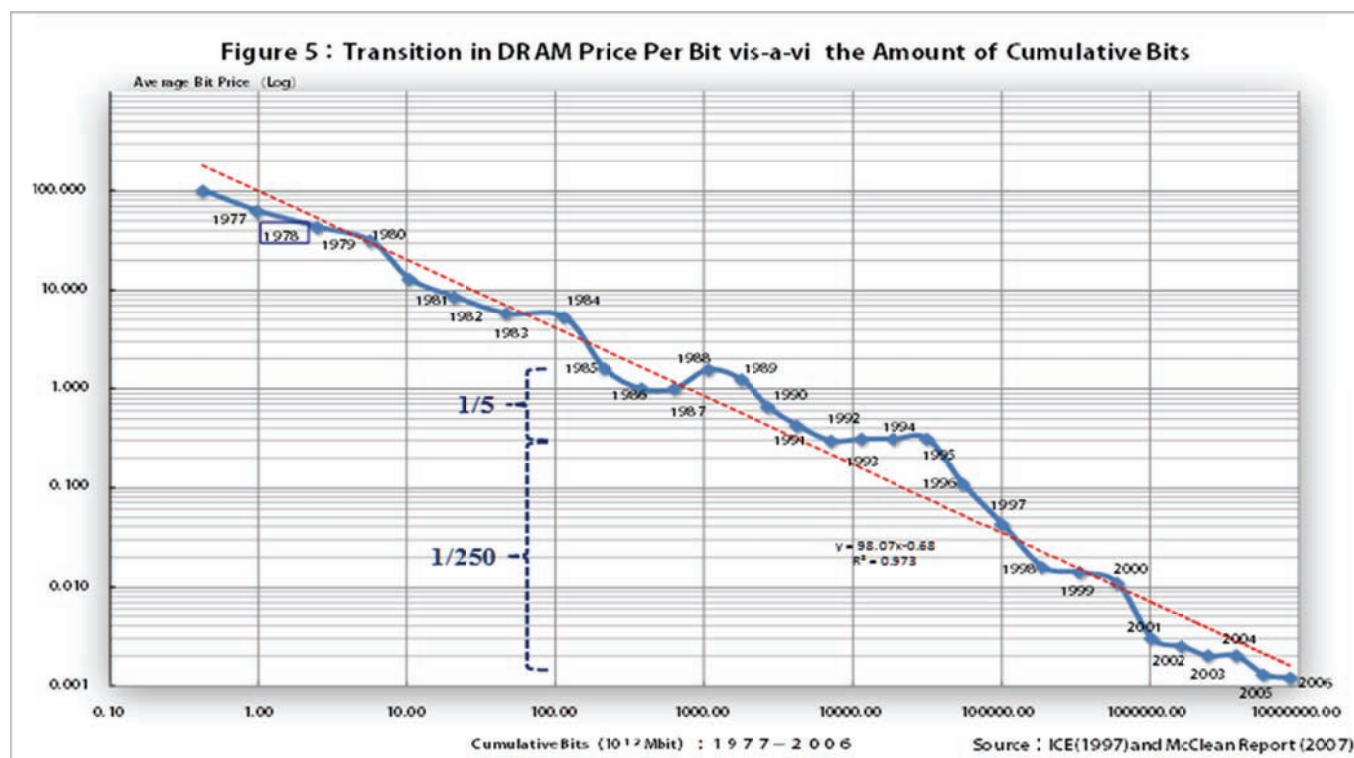
<sup>25</sup> 元日立・前エルピーダの主導的な実装技術開発者談。

<sup>26</sup> 例えば、Mueller (2012)によれば、1995 年～1997 年だけでも 4 種類の DRAM 仕様に対応する 5 つのチップセットが登場した。

<sup>27</sup> 2000 年前後に始まったモバイル通信の隆盛は、高付加価値のモバイル用 DRAM とフラッシュメモリへの莫大な需要を喚起し、インテルの支配する旧来の PC 中心の汎用 DRAM ビジネスに大きな転機をもたらした。その結果、DRAM 専門のエルピーダとフラッシュの東芝との C&C による大きな相乗効果が見込まれた。ただし、誠に残念ながら、両者の C&C は実現しなかった。

<sup>28</sup> 以上のような状況から判断すると、冒頭で紹介したインテル流オープン・プラットフォーム戦略は Burgelman (2002) や Gawer 他 (2002)、(2007)等によってチップセットやマザーボードを肝に据えたビジネス戦略の見本として賛美されているが、導入の技術的背景を考慮すると、存亡の危機に直面したインテルの苦肉の策だったとも言える。そして、IBIS 的な他社の種を借りてのマザーボード・アーキテクチャ探索の仕組みこそ、インテルの持続的成長を支えた続けたのだ。

(3~4倍)上回る価格での汎用 DRAM ビジネスが常態化した。その様子の一端は、下記の図?からうかがい知ることができる。この図は、縦軸に DRAM の平均ビット価格 (対数値)、横軸に DRAM 登場以来の累積ビット数 (対数値) が示されている。図中の各点は、各年次における両数値をプロットしたものである。<sup>29</sup>この図によれば、日米半導体協定下の9年間には平均ビット価格が1/5しか低下しておらず、常に右下がりの赤線が示す傾向線を上回っていた。ところが、95年から96年に賭けてのDRAM大暴落を契機に95年以降の9年間では瞬く間に傾向線を下回って行き実に1/250にまで下落していった。

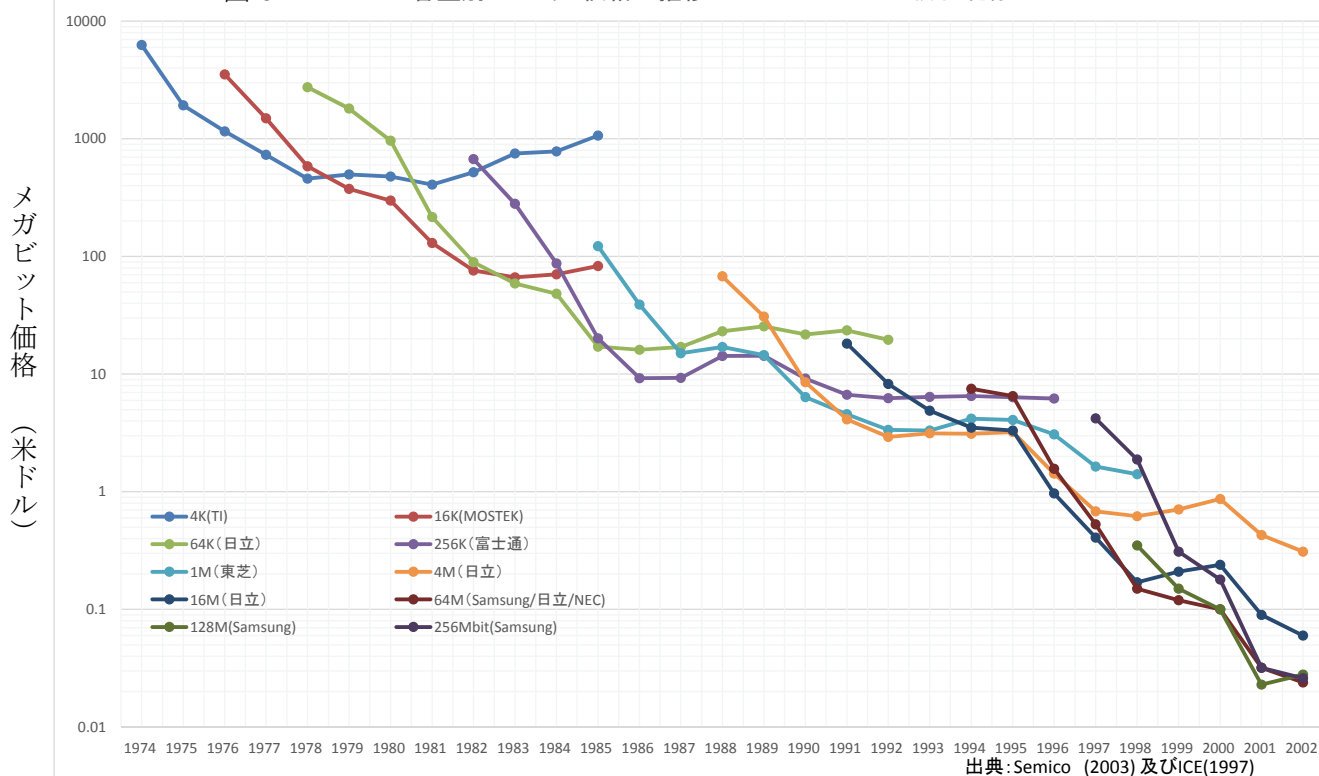


このような急激な汎用 DRAM 市場の変化は、当時の DRAM の (容量) 種類別の DRAM 平均ビット価格の推移を追うことによってさらに浮き上がってくる。その様子を示しているのが図6である。この図には、1974年に現れた4KビットDRAM製品から1998年に現れた256MビットDRAMまでの平均メガビット価格が示されている。この図の網がけがしてある期間が日米半導体協定によって日本勢に供給制限がかけられていた時期に相当している。この時期(1986-1995)、日立やNECに多大な利益をもたらした64Kビットや256Kビットの価格はほぼ一定かやや上昇すらしている。また、東芝や日立、富士通に大きな利益をもたらした1Mビット、4Mビット(1988年開始)、16Mビット(1992年開始)の価格下落幅も各々1/10、1/21、1/5と小さい。したがって、この期間は価格/原価比率が3~4倍に達する程の売り手市場であったこと、当時は原価が30%/2年ほどの速度で下落していたことを考慮すると、日本勢は大きな利益を享受していた。<sup>30</sup> そのため、たとえ造り過ぎて製品在庫を大量に抱えたとしても何の心配もなかった。品種によっては値上がりさえしたので、在庫を積み増す動機さえもあった。

<sup>29</sup> なお、各点ともほぼ一直線に並んでいるが、この傾向(Wrightの法則)は、半導体産業のみならず自動車産業を含むほぼ全ての産業で成立することが知られている(Nagi他(2008))。しかも、半導体産業においてすらも、先のMooreの法則より長期的な当てはまりが良い。実際、Wrightの法則と比較すると、Mooreの法則は、長期的な実際の半導体ビット価格を過小予測している。

<sup>30</sup> その点は、簡単な計算でも確認できる。例えば、東芝が1MビットDRAMで莫大な利益を上げたことは周知の事実であるが、当時の資料(VLSI Research(1988)に基づき1Mビットの1986年平均価格(公表不可)の1/3が原価だと想定してみよう。その原価を当時のMooreの法則に従い30%/2年で引き下げて行くことが可能だったとすると、1995年でも価格/原価比率が1.5倍を上回ることができた。1986年の価格/原価率を4倍とすることも当時の状況から無謀な想定ではないが、その場合この比率は2.0倍になる。ところが、1996年になると、1MビットのDRAMでさえ価格/原価比率=0.99、97年価格だと同=0.88と一転して採算が合わなくなった。1Mビットに比べて急落した16Mビットや64Mビットの場合、すでに96年時点で目を覆うほどの状態に陥った筈である。

図 6 : DRAM容量別メガビット価格の推移:1974-2002 ( )内は先行メーカー



ところが、栄華は春の夜の夢のように突然終わってしまった。そして、価格の大暴落がはじまった 95 年末以降になると市場のクロックスピードが急加速して見込み生産が難しくなったため、流通・製品・仕掛の全ての在庫がたちまち腐ってしまう状況になった。価格暴落後の巨大な半導体部門の赤字に恐れをなした経営陣は、95 年以降になると半導体部門への投資をさらに大幅削減した。しかも、日本勢の各社ともに、栄華の続いた期間に当時の最先端 200mm 工場への投資を躊躇していた。つまり、同一事業部門の拡大再生産という意味では、80 年代に米国半導体メーカーの羨望の的だった強力な資金力を保有する総合電機メーカーという形態が半導体部門の絶頂期には同部門成長の足枷となってきていた。そのような流れの中で、ほとんどの日本勢が 2000 年前後で汎用 DRAM ビジネスから撤退せざるを得なくなった。日本勢凋落の原因として“設備投資・R&D 投資の不足やタイミングの遅れ”仮説が業界関係者に根強い理由である。

もちろん、90 年代前半における 200mm 量産工場投資への経営陣の躊躇にも、日米半導体協定下の米国の圧力がかなり影響していた。具体的には、この協定の下で、日本勢に対する半導体工場の海外移転要請が米欧から強まったからである。事実、日米半導体協定下の米国政府による日本メーカーへの圧力は、現在からは想像もつかない程に強圧的なものであった (大矢根 (2002))。そのため、日本勢は、米欧への数々の海外工場投資 (その後全て撤退) を実行していった。しかも、残念ながら、それらは、ほとんどが当時でも最先端とは言えなかった 150mm 量産工場への投資だった。150mm に比べて格段に自動化のレベルが高まった 200mm 工場には 150mm 工場に比べて倍近い投資額が必要だったこと、自国の半導体生産システムを海外に移転する場合には量産開始までの立ち上げに相当な時間が必要だったこと、等々の理由が影響したと考えられる。その結果、余裕のあった栄華の時期に積極的に国内投資を行う黄金の機会を失った。

例えば、当時の代表的な DRAM 工場投資例 (内 4 つが 4M ビット DRAM 工場) は、次のようになっていた: 1987 年 NEC スコットランド工場 (イギリス、DRAM)、1988 年 NEC ローズビル新工場 (米国、DRAM)、1989 年 富士通 グレシャム工場拡張 (米国、DRAM)、1989 年 富士通ダーラム工場 (イギリス、DRAM)、1990 年 日立ランツフルト工場 (ドイツ、DRAM)、1990 年 日立アービン工場 (米国、DRAM)、1990 年 三菱電機アーヘン工場 (ドイツ、

DRAM)、1990年 三菱電機ダーラム工場 (米国、DRAM)、1991年 松下電子 ビュアラップ工場 (米国 DRAM)。ちなみに、200mm 量産工場の投資が世界で初めて行われたのは、1986年の IBM 米国工場である。日本での 200mm 投資第一号は、日本 IBM の野洲工場 (1990年) や日本 Texas Instruments (TI) の日出工場 (1991年) だった。<sup>31</sup>

加速した市場クロックスピードと増加した将来の不確実性に対処するには、ビジネス上の事前・事後の柔軟性を確保するため、生産リードタイム (材料投入後製品として出来上がってくる期間) の大幅削減が重要な事業戦略となる (Hopp 他 (2008)、第 10 章)。したがって、ジャストインタイムを特徴とするトヨタ生産方式 (“プル型生産方式”：後工程の要求する量だけ前工程が生産する方式) の威力が格段に増す。ところが、ほとんどの日本勢は、ほぼ例外なく日米半導体協定下に一般的だった “プッシュ型生産システム” (各工程に常に最大限の生産量達成を要求する局所最適化型の生産方式<sup>32</sup>) を 2000 年頃まで採用し続けた。その結果、誠に驚きであるが、90年代を通じてもの造りの比較優位性すらも喪失していった。そして、そこには、後述のように、半導体工場の自動化レベルの急速な増大と共に現場のオペレーターや保全工の作業 (タスク：Task) の抽象度がワンランクもツーランクも上がったことへの対応の失敗が大きく関わっていた。そして、この優位性の喪失が、日本勢凋落の根本要因の一つともなったのである。

既に 1990 年代前半には、日本勢がもの造りのパフォーマンスで劣後しはじめていた。その様子は、日米半導体協定下の米国の圧力を背景に実施された UC Berkeley グループによる包括的な調査結果 (表 3) に現れている (Leachman 他 (1996))。表 3 の最初の欄には生産システム関連の項目、最後の欄にはそれらの項目の日米比較が示されている。比較によれば、驚きであるが、日本勢は Cycle Time per Layer (回路が刻まれたマスク原版一枚の平均処理時間) のみならず Delivery On Time (納期遵守率) で米国勢に下回っている。また、最もボトルネックとなりやすい露光装置のスループット (処理枚数で測った生産性) は日本が高かった。したがって、当時の日本では、典型的なプッシュ型生産に基づく作り置き方式が採用され、その結果として、生産リードタイムが長く、スケジュール管理もうまくいっていなかった様子が垣間見える。他方、欠陥の少なさ (良品率) とオペレーターの日当たり処理枚数で測定した生産性では日本勢が数段勝っており、丁寧な設計・製造技術に基づき、優秀な現場の人材によるもの造りが行われていたことが類推できる。

表 3 : 90年代前半における日米半導体生産システムのパフォーマンス

項目	最良スコア	平均スコア	最悪スコア	日本vs米園
一層当たりのサイクル・タイム (日)	1.2	2.6	3.3	-
10層当たりのライン歩留まり (%)	98.9	92.8	88.2	++
欠陥密度 (個/cm)				++
0.7~0.9μm (CMOSメモリー)	0.28	0.74	1.52	
0.7~0.9μm (CMOSロジック)	0.28	0.79	1.94	
1~1.25μm (CMOSロジック)	0.23	0.47	0.96	
1.3~1.5μm (CMOSロジック)	0.21	0.61	1.15	
露光装置のスループット (×5層/台/日)	724	382	140	+
直接従業員の生産性 (層/人/日)	6.3	29.6	8	+
総従業員の生産性 (層/総人数/日)	37.7	17.6	3.3	++
納期遵守率 [95%のチップ] (%)	100	89	76	-

- ++：日本の工場が大幅に優れる
- ＋：日本の工場がやや優れる
- ：日本と米園で差がない
- －：米園の工場がやや優れる
- ――：米園の工場が大幅に優れる

出典：Leachman and Hoges (1996)

<sup>31</sup> なお、以上の点は、共同研究者だった神津英明氏 (元 NEC 技監 (CTO) & 元一橋大学イノベーション研究センター客員教授) の示唆に基づいている。

<sup>32</sup> 従って、生産が見込み通りに進まない場合、ボトルネック (隘路) 工程の前工程に多量の仕掛在庫が貯まってしまい生産リードタイムが長くなる。

なお、表3の調査で主導的な役割を果たした Leachman 教授は、Samsung で1996年からはじまる生産システム改革のコンサルタントとして主導的な役割を果たした。その結果、当時の最先端64MビットDRAMの生産リードタイムが、96年初頭の90日前後から98年末に30日に短縮された（Leachman 他（2002））。他方、NEC等の当時の日本勢の同様な生産リードタイムは、聞き取りによれば少なくとも60日前後だった。したがって、この頃になると、既に製造コストでも Samsung と勝負にならなくなっていた。ただし、この生産システム改革以前は、Samsung は日本勢から積極的に技術導入を行っていたので、日本勢と同じプッシュ型を採用していた筈である。にも関わらず、なぜ魔法でもかけたように2年弱でリードタイムの2/3削減が可能だったのだろうか？

それは、半導体版リーンシステム・アーキテクチャ<sup>33</sup>に裏付けされた米国発の ICT 駆動型汎用 MES（Manufacturing Execution System:製造実行システム）という“伝家の宝刀”（後述）がもたらした強烈なイノベーションの恩恵以外に考えられない。同じように生産リードタイムが激減する現象が、2000年頃に日本で起きたトヨタ生産方式ブームによっても頻発したからである。このときのブームの火付け役は、米国よりも10年以上も遅れてやっと2000年3月期に導入されたキャッシュフロー計算書作成の法的な義務化だった。在庫の増大が、キャッシュフローの減少に直結することが丸見えになったからである。日本政府（特に金融庁傘下の企業会計審議会）のクロックスピードへの遅れを示す象徴的な出来事の一つである。この意味では、日本企業の多くが、“腰の重い政府”という大きなハンディをも背負っている。

半導体版リーンシステム・アーキテクチャに裏付けされた米国発の ICT 駆動型汎用 MES は、米国だけではなく、欧州・台湾・韓国メーカーにも急速に普及していった。<sup>34</sup> 事実、このリーン（トヨタ）思想を体現した汎用 MES は、米国のみならず韓国の Samsung に代表される DRAM メーカーや、台湾 TSMC に代表されるファンドリーに直ちに普及していった。例えば、韓国 Samsung では、1995年に Fastech（現 Brooks Automation）社の“FactoryWorks”の第1号が先端200mm工場に導入された。同じ1995年には、ドイツ・ドレスデンにあるシーメンスの先端200mm工場に Consilium 社（現 Applied Materials）の“Workstream”が導入された。さらに、台湾 TSMC は、高度な自動化システムを世界に先駆けて導入したメーカーとしてよく知られているが、同社の最初の先端200mm工場用の MES として1996年に導入されたのは MMST プロジェクトの成果に基づいて粧いを新たにした“Promis”であった。<sup>35</sup>

他方、日本勢は、少なくとも90年代末までは自社製 MES を用いたプッシュ型生産にこだわり続けた。この点に関し、伊佐治（2001）は、半導体露光装置メーカー・エンジニアの立場から下記のような興味深い指摘をしている：「アメリカはトヨタのジャストインタイムの思想を実際のラインに適用している。アメリカでは納期遵守が日本よりも重視されている。そこでいかに生産量を落とさずに納期を短縮するかを真剣に検討した結果、トヨタ方式が解であるという結論に達した。」（同、16頁）日本勢の90年代後半におけるもの造りシステムでの比較優位喪失が、実は日本発のトヨタ生産システムに起因していたとは何というアイロニー（皮肉）だろうか・・・。

上記の米国発汎用 MES 登場の背後要因は、当時の日本勢にとっては想像さえできないものだったに違いない。というのは、生産技術者を含むほとんどの関係者には、日本勢打倒を旗印に DARPA（Defense Advanced Research Projects Agency）等の支援を受けて1988～1993年に実施された米国政府肝いりの MMST（Microelectronics Manufacturing Science & Technology）プロジェクトの成果だったとの自覚がないからである。<sup>36</sup> 彼らの思惑をそれほどまでに越える形で、日本勢は、米国にとって経済的・政治的のみならず軍事的にも脅威だと見なされ

<sup>33</sup> リーンシステムとは、米国版トヨタ生産システムを意味する。

<sup>34</sup> 詳しい引用文献に関しては中馬(2006)を参照されたい。なお、同種の MES は米国の多くの原発でも普及していることは良く知られているが、福島原発事故の数年前に聞き取りをした関西方面の電力会社においては、本社の担当者が MES の M の字も御存知なかった。また、その見える化の程度の低さに啞然としてしまった。

<sup>35</sup> 現状の300mm工場では、IBMのSiViewがほとんど世界を制覇している。

<sup>36</sup> United States General Accounting Office (1992).



ていた。

米国発汎用 MES が当時既にトヨタ的な思想に基づいて運用されていた様子は、IBM バーモント工場の事例として誇らしげに報告されている (Leonovich (1994))。このバーモント工場は当時としては最先端の 200mm 工場であり、2 万 5000 枚/月の生産能力を持ち、当時量産のピークにあった 4M ビット DRAM (40%) に加えて MPU (40%) やその他のロジック製品 (20%) が同一の生産ライン上で混流生産！されていたとある。この論文では、「ボトルネックとなっている装置の稼働率を可能な限り 100% に近づける」という“プッシュ型生産”方式の非効率性が明白に主張されている。そして、生産リードタイム短縮を図るためには各々の工程でどのような仕掛在庫 (WIP: Wafer in Process) を持てば良いか、そのような最適 WIP と実際の WIP や最適 MOVE (各工程を流れるウェーハの数) と実際の MOVE の乖離幅をできるだけ早く解消するためにはどのような形式や頻度で当事者達に“見える化”すれば良いか、等々を明らかにしている。そして、向こう 48 時間の最適 WIP や最適 MOVE を刻々と計算しながら、現状の乖離状況がローリングプラン方式で 1 時間毎に改訂されていた。ここでは、冒頭で紹介したトヨタ生産方式を特徴付ける a) 詳細な生産プロセスに関する一目瞭然化情報の階層内・階層間共有、b) そのための階層内情報の正確な抽象化と階層間情報の明瞭・迅速な遡及を促進する仕組みが実現されており、現状の高生産性を誇る生産システムと比較しても遜色のないレベルに達していた。

それにしても、そもそも日本勢は、なぜトヨタ的なプル型の生産ライン導入に手間取ったのだろうか？ 米国発の汎用 MES を導入するだけでプッシュ型からプル型に直ちに移行できるのではないだろうか？ ところが、それは、リーンシステム・アーキテクチャを基本に据えない限りできないのである。その理由は、先に触れたシステム化実装技術の事例と酷似している。というのは、半導体工場の自動化レベルの不連続的な増大が、現場オペレーターや保全工の作業 (タスク) の抽象度をワンランクもツーランクも不連続に増大させる、という現象に深く関わっているからである。事実、作業の抽象度が増大すると、以前のより下位の抽象度で稀少だった知識やノウハウが汎用化・陳腐化してしまう。そして、そのような汎用ノウハウの上に新たに蓄積されていくワンランク・ツーランク上の抽象度での新たな知識・ノウハウが、もの造りでの比較優位の源泉となる。その結果、IBIS に象徴されるシステム化実装技術によって汎用 DRAM のコモディティ化が発生したとほぼ同じ時期に、リーンシステム・アーキテクチャに裏付けされた汎用 MES によって生産システムのコモディティ化が起こった。

半導体生産システムの場合、そのようなタスク抽象度の不連続的な増加現象が 1995 年半ばに一般的となった 150mm 工場から 200mm 工場への切り替え時点で顕著になった。オンライン化率向上を目指した 150mm とは異なり、200mm では製品作業完全自動化 (工程内・工程間自動搬送) が達成された。これが 300mm になると各種の特殊作業も自動化されるようになり、200mm で一般的だった一括処理 (バッチ処理) 方式からウェーハを一枚ずつ管理する枚葉処理方式に移行した。しかも、300mm 工場では高速な OHT (天井走行式無人搬送車) が多用され、200mm 工場で一般的だった工場内のウェーハ集中保管施設を経由して各工程に搬送する間接搬送から、工程間を直接繋ぐダイレクト搬送が一般的となった。<sup>37</sup>

では、なぜそのような作業の抽象度の増大が、特に日本勢の場合、より大きなマイナスの効果をもたらしたのだろうか？ その答えは、半導体産業か否かにかかわらず日本の製造現場が“組長ライン”となっていることと密接に関わっている。組長ラインとは、各工程の進捗管理や問題発見・解決が、それらの工程を束ねる組長及び前後工程の組長間の属人的調整能力に依存している生産ラインを意味する。しかも、日本では、彼ら組長が、オペレーター・保全工・技術者を結ぶ重要な調整役 (コーディネーター) としての役割をも担っている。もちろん、多くの製造業では、そのような組長の高い調整能力が世界に名だたるもの造り能力を支えている (小池他 (2001))。ところが、プロセス技術の微細化・高度化に伴い、組長の属人的な調整能力に頼るだけでは生産システム内での全体最適を図れなくなってきた。特に半導体の生産システムの場合、微細化追求が進めば進むほど、そのような

<sup>37</sup> 以上の点については、主に元 NEC の技術者である本間三智夫氏に教えていただいた。

局所最適性の弱点が発生しやすくなる。というのは、生産ラインが極めて複雑なジョブショップ（Job-Shop）型になっているからである。

複雑なジョブショップ型とは、完成品が生産システムから出てくるまでに、その仕掛品が各々の工程に複雑なパターンを描きながら何回も戻ってくる工程の特徴をさす。半導体デバイスは、数十枚の異なるマスク（回路基板）を使って出来上がる。例えば、その際の露光によってウェーハに刻み混む工程（露光工程）に注目すると、その工程では異なるマスクを使って加工の済んだ同じ仕掛品に次々に回路を写し込んでいく。しかも、そのようにして自工程に戻ってくる仕掛品が各工程を巡っていくパターンは、マスク毎に異なっている。このようなジョブショップ型のラインとは対照的に、通常の流れ作業の生産ラインでは、製品が完成するまでに各工程を通過する回数は高々1回のみである。そのようなラインは、フローショップ（Flow-Shop）型と呼ばれる。そのため、いわゆる“トヨタコンサルタント”のノウハウは、フローショップには通用することがあっても、複雑なジョブショップにはなかなか通用しない。システム思考に富む半導体製造のプロが必須とされる理由である。

半導体の生産ラインは、微細化が進んでデバイスが複雑になればなるほど、どんどん複雑なジョブショップ型になっていく。マスク枚数やマスクに刻まれる回路がより微細で複雑になってくるからである。そして、ジョブショップ型ラインが複雑になればなるほど、組長ラインの局所最適性が問題になってくる。全体最適を図るためには、組長の工程間にまたがる横断面管理能力だけではなく、何回も自工程に回帰してくる仕掛品の時間軸に沿った流れの管理、つまり時系列管理の重要性が倍化してくるからである。このような複雑な時系列管理をも適切に行うためには、各々の組長は、他工程の組長が行う様々な横断面管理の状態を第三者的な視点から眺めながら自工程の適切な管理を行わなければならない。つまり、部分の管理のためには、全体のシステムの運行状態に関するより解像度の高いメタ情報が必要になる。

ところが、組長に時系列管理に必須のシステム情報が提供されなければ、全体的な視点からの横断面管理と時系列管理を実行できない。しかも、組長には、そのようなメタ情報を迅速に咀嚼してシステム全体の特性を把握する能力が要請される。もちろん、そのような離れ業ができるような組長・オペレータ・保全工を数多く生み出すことは、既存の生産システムにこだわる限り不可能である。そのような状況を打開するためには、米国版汎用MESのような極めて強力な複雑性軽減ツールの導入によって、組長やオペレーター・保全工の作業の抽象度を上げて横断面管理と時系列管理がより簡単にできるような生産システムの導入が必須となる。しかも、日本の多くの組長は、そのようなシステムが提供されれば、横断面管理のみならず時系列管理でも格段の力を発揮する（中馬(2007)、(2002)）。その様子は、まるで半導体自動設計（EDA）ツールの抽象度が上がると、設計者がより上位のシステム化に本来の能力を集中できるようになる構図と酷似している。

上記のIBMバーモント工場の事例のように、米国版汎用MESが組み込まれ高度に自動化された半導体工場では、生産プロセスに関する一目瞭然化情報の階層内・階層間共有、そのための階層内情報の正確な抽象化と階層間情報の明瞭・迅速な遡及を促進する仕組みを簡単に実現することができる。ところが、そのような高度の見える化能力を誇るMESが利用可能になったとしても、工場全体の生産性は、どのような生産システム・アーキテクチャで運営されているかで大きく左右されてしまう。例えば、プッシュ型の生産システムにこだわる工場の場合、特定の工程の組長には、自工程に関しては高い解像度の情報が与えられるが、工場全体の中での自工程の状態をメタ認知するための情報がなかなか提供されない。プッシュ型の局所最適性の弊害に非感応的な生産システムの設計者が、そのような必要性を明確に自覚しないままシステム設計していくからである。

実際、2000年の初頭に2年間にわたって調査させていただいた某社の300mm工場では、少なくとも調査の初期段階において、そのようなメタ・システム情報は特定のエンジニア達だけに利用可能とされていた。もちろん、そのような情報は、組長には担当エンジニア経由である程度までフィードバックされていた。そして、それらは、組長経由でさらにオペレーターや保全工（テクニシャンと呼ばれていた）にも伝言ゲーム風に伝えられていた。

ところが、現場での意思決定は、依然として組長依存的だった。正確に言えば、組織設計上の問題から、豊富な局所情報を持つ組長達と豊富な大局情報を持つエンジニア達のせめぎ合いが起きていた。そのようなせめぎ合いは、デジタル化が可能にした詳細なプロセスに関する一目瞭然化情報の階層内・階層間共有によってたちどころに解消できる。実際、このようなリーンシステム思考に基づく土屋孝行氏の独自の生産方式に基づいて運営されていた広島エルピーダの 300mm 工場では、NEC 時代と同じ MES をそのまま使いながら、極めて短い生産リードタイムや驚くほどの良品率、納期遵守率を誇っていた（中馬(2007)、(2002)）。しかも、そのような相変化を、わずか6ヶ月～1年ほどで達成していた。

### 3.3 凋落を誘発した大きな要因：DRAM 市場のクロックスピード急加速とプロセス技術の複雑化

日本勢は、“4層基板のスパコン”に具現化された Intel 流システム化実装技術によって外堀が、もの造りでの比較優位喪失によって内堀が埋められることになった。そして、最後の本丸に関連してくるのが、90年代半ば以降に急加速した市場のクロックスピードと企業間にまたがった対話と連繫（C&C）が不可欠なほどに複雑化した 64M ビット DRAM 用プロセス技術だった。しかも、後述するように、C&C の必要性は 64M ビット以降にさらに増大していった。以下では、この市場と技術の二つの要因に着目してみよう。

まず、市場のクロックスピードの加速は、Intel のペンティアム・プロが登場する 1995 年に注目するとよりハッキリしてくる。前節で触れたように、95年から96年にかけて DRAM 価格大暴落の引き金が引かれ、市場のクロックスピードが加速し将来の不確実性が増大した。そのような出来事と時を同じくして、DRAM の仕様自体がほぼ毎年大きく変化することとなり、さらにクロックスピードが加速した。それを象徴する最初の出来事が、大型コンピュータ用の JEDEC 標準として知られていた EDO (Extended Data Output) と呼ばれる DRAM を使用するチップセット (Triton と呼ばれた) の 1995 年における登場である。

当時をよく知る Intel の技術者によれば、この Triton になってはじめて Intel が直接 DRAM に関わり始めた。先の IBIS の利用が本格化した結果だと類推される。EDO-DRAM により、それまでの 22MHz に代わって 33MHz の速度で MPU との通信が可能になった。驚きであるが、EDO-DRAM 以前は、1986～1995 の長きにわたってこの 22MHz で動作する Fast-Page Mode (FPM) と呼ばれる方式の DRAM が使われてきていた。この時期は、奇しくも日米半導体協定下で日本勢が栄華の春を享受していた低速な市場クロックスピードの時期と全く重なっている。なお、EDO-DRAM は技術的には FPM-DRAM に少しだけ変更を加えた進化版であり、マザーボード上のクロックとは独立に動作する非同期と呼ばれる方式の DRAM でもあった。しかも、1995 年から 1996 年にかけて大暴落したのは、この FPM 方式の DRAM だったのである。また極めて興味深いのは、FPM や EDO 等の非同期型 DRAM は、MPU とのタイミング処理等に関連した内部構造もかなり特殊で複雑だったため、日本勢の優れた設計能力や製造能力が発揮しやすいものだったという事実である (Itoh (2001))。

ところが、この EDO-DRAM も PC 用としては直ぐに賞味期限が切れはじめた。そして、早くも翌年の 1996 年には、マザーボードのクロックと 66MHz で同期する SDRAM (Synchronous DRAM) 方式のチップセットが登場した。しかも、SDRAM の登場と共に現在一般的となっている日立発の DIMM (Dual Inline Memory Module) 型メモリ・モジュールが導入されたが、このモジュールには SPD (Serial Presence Detect) と呼ばれる Intel 製 MPU と DRAM とを効率的に同期させる Intel 考案の特殊な小チップが搭載されるようになった (Mueller (2012)、第 6 章)。その結果、MPU とのタイミング処理に関連した DRAM チップの内部構造等が非同期型のチップに比べて格段に簡素化され、様々な高速化のための設計上の工夫を組み入れやすくなった (Itoh (2001)、第 6 章)。IBIS に象徴される Intel のシステム化実装技術が、このような形でも汎用 DRAM のコモディティ化推進に拍車をかけたのである。

上記の 66MHz で動作する SDRAM の仕様は、メインフレームメーカーが主導した JEDEC の PC66 と呼ばれる方

式で標準化されたものだった。ただし、先の Intel の技術者によれば、PC66 に準拠するだけでは IBM 互換パソコンで正常に動作しないケースが少なからず起きた。その大きな原因の一つは、前々節で指摘した“4層基板のスパコン”で特に発生しやすい MPU と DRAM の信号タイミングのズレ（信号品質問題）だった。そのため、そのような問題の発生が少なかった EDO-DRAM と PC66 準拠の SDRAM とが併存する形が 2 年ほど続いた。さらに、Intel は、このような状況を打開するために 100MHz の動作クロックを DRAM に要求する PC100 という独自規格を 1998 年に導入した。そして、DRAM メーカーに製品サンプルの提出を促し、それらが PC100 に準拠して問題なく動作するか否かを Intel 自身が検証しネット上で公開するというアプローチを採った。そのような Intel の努力が実り、PC100 の導入と共に EDO-DRAM も市場から急速に消えていった（Mueller (2012)、第 6 章）。

飽くなき MPU の高速化は、この PC100 も直ぐに時代遅れにした。そして、翌年の 1999 年には、Intel 主導の PC133 が、そして 2000 年には PC200 が JEDEC 標準として提示された。さらに、同じ 2000 年には、SDRAM をさらに高速化させるために、DRAM 内の処理を二重に並列化して MPU と 400MHz で同期可能な DDR (Double-Data-Rate) 方式の DRAM 規格に準拠したチップセットを導入した。この方式は、2003 年には DDR2 方式として 4 倍の 800MHz、2007 年には DDR3 として 8 倍の 1600MHz で同期可能な方式として進化していった。現在の 2014 年には、DDR4 として 16 倍の 3200MHz までに対応可能な規格まで標準化されている。

なお、興味深いのは、2000 年の PC200 以降は、グラフィックス用やモバイル用の DRAM という例外はあるが、DRAM 固有のクロック数が 200MHz から変化していないという点である。言い換えれば、PC 用としての汎用 DRAM が、2000 年にほぼ成熟の域に達したということになる。そして、エルピーダをのぞく日本勢のすべては、この 2000 年を過ぎた辺りで事実上汎用 DRAM ビジネスから撤退していた。しかも、日本勢にとって不幸だったのは、2000 年から 2001 年にかけて、米国半導体産業を苦境に陥れた 1980 年代半ばの半導体不況に勝るとも劣らない大きな不況が訪れたことであった。それは、あの世界に誇る日立中央研究所でさえ、半導体関連の精鋭研究者を中心とした大幅な人員整理が実行されるほどの苦しさだった。そして、本丸は、1995 年の DRAM 価格暴落後わずか 5 年で落ちたのである。なお、誠に皮肉なことに、2003 年を過ぎる頃から現在に至るまで、Intel 製 MPU 自体のクロックスピード自体もほとんど上がらなくなっている。

時代絵巻のような表現で誠に申し訳ないが、本丸が落ちる前の 1998 年に“関ヶ原の戦い”に類する大きな出来事が発生した。PC66 や PC100 に準拠する 128M ビットの SDRAM が、Samsung から日本勢に先行する形で登場したのである。しかも、Samsung は、128M ビットを 1998 年の前半に、256M ビット SDRAM を同年後半に発売開始するという離れ業をやったのけた。128M ビット登場以前は、Intel の 1K ビット DRAM の 1971 年における登場以来、4K、16K、256K、1M、4M、16M、64M と 4 倍・4 倍のパターンで汎用 DRAM 製品の容量が拡大してきていた。ところが、64M ビット DRAM 以降、128M、256M、512M、1G、2G、4G、8G、16G という風に現在に至るまで 2 倍・2 倍のパターンで拡大するパターンに相変化した。<sup>38</sup> 相変化が起きた大きな理由の 1 つは、インターネット元年（1994 年）前後から急速に増大した PC サーバーや UNIX サーバーの登場に象徴される動きの速いマーケットの変化を読む力（マーケティング力）に関連していた。もう一つは、意外ではあるが、64M ビット DRAM 開発を起点に顕在化したプロセス技術上の複雑性の不連続的な増大（後述）に関連していた。

Samsung サイドからの情報によれば、当初大量に製造された 128M ビット DRAM のほとんどがローエンドサーバー向けに販売され、大きな利益を生んだ。ローエンドサーバーにとって、この時期の 256M ビット DRAM は、「帯に短し襷に長し」の状態だったのである。事実、世界出荷量が 500 万個を越えたのは、128M ビットでは 1999 年、256M ビットでは 2001 年だった（SEMICO (2003)）。ただし、4 倍・4 倍の時代から 2 倍・2 倍の時代への変化の兆しには、日立も気づいていた。事実、Samsung の 128M ビット登場とほぼ時を同じくして、日立から 64M ビット

<sup>38</sup> この 4 倍化から 2 倍化の動きが Samsung のマーケティング戦略と不可分である点は、日立の 4M ビット DRAM 設計主査を務められた下東勝博氏（元 STARC 社長）に御示唆をいただいた。

DRAM を 2 枚使用した 128M ビット DRAM も売り出された。日立が当時世界に誇っていた先進的な実装技術である LOC (Lead-On-Chip)<sup>39</sup> を駆使できたからである。当時の日立関係者 (設計開発の責任者) によれば、この日立製 128M ビット DRAM は IBM 製ノートパソコンで大きな人気を博した ThinkPad 用としてかなり儲けが出たという。ただし、このユニークな日立製 DRAM はかなり高価であり、Samsung 製 128M ビットに比べると生産量もわずかであった。そもそも日立は、生産量を急増させるためのキャパさえ既に保有していなかった。つまり、マーケットの最前線にいた日立の実戦部隊の気づきは、経営陣を動かす程のものにはなり得なかった。そのことを反映するように、実装技術に頼らない日立発の 128M ビット DRAM は、その後も製造されることはなく、日立と NEC の合弁会社であるエルピーダの登場を待つ必要があった。

Samsung を追従する形にはなかったが、NEC や東芝も 1999 年に PC133 にも対応した Samsung 流 128M ビット SDRAM 市場向けの量産をすぐさま開始した。ところが、その頃になると 128M ビットの価格も対前年比で 60% 超も下落してしまった。この下落傾向は、その後もさらに加速した。1998 年に 128M ビット DRAM の世界出荷量は 260 万個だったが、翌年の 1999 年には 2212 万個と 8.5 倍にも増えたからである (SEMICO (2003))。ここでも足の速い市場のクロックスピードが日本勢の復活を阻んだのである。「日本勢は、128M ビット DRAM を出そうと思えば Samsung より早く出せた」と言う半導体技術者は今でも少なくない。にもかかわらず、その潜在需要の大きさをワntenポ遅れてしか察知できず、先行者利益を獲得する黄金の機会をアツという間に逃してしまった。しかも、わずかの差だったが、256M ビット DRAM でも Samsung が先行した。このように、現在の SoC の時代でも大勢の業界関係者が嘆く日本勢のマーケティング力不足が、既に DRAM の場合でも露呈していたのである。

前述したように、90 年代半ばを過ぎると、日本勢は技術開発のクロックスピードにも遅れはじめた。64M ビット以降に、DRAM が格段に難しくなり、その難しさに挑むための R&D 費用・人材を一企業では抱えきれなくなってきたからである。言い換えれば、その後の半導体産業を特徴付ける企業の境界のみならず国の境界をも越えた対話と連繫 (C&C) の時代が MPU より一足先にやってきた。例えば、NEC は 90 年代前半に Samsung と 64M ビットや 256M ビットの共同研究開発プロジェクトを立ち上げた。日立と TI との 256M ビットや 1G ビット共同開発・製造や東芝と IBM、シーメンスとの 256M ビット共同開発もこのような制約に直面した結果だと思われる。ただし、前述の 90 年代後半の日本勢のじり貧状況にも示されているように、いずれの共同開発も当初の思惑通りには進まなかった。

新構造 DRAM キャパシタ (後述) の発明で世界的に有名な元日立の角南 (2008、87 頁) は、過去の DRAM 開発のプロセスを、“K (キロ) ビットの時代” = 微細加工、“M (メガ) ビットの時代” = 構造改革、“G (ギガ) ビットの時代” = 材料革命と特徴付け、その明白な分岐点が 64M ビット DRAM にあるとしている。同じく DRAM 設計で世界的に名高い日立の伊藤 (1994、19 頁) も、1990 年に登場した 64M ビット DRAM の試作品とそれ以前のものと比較し「多層化・立体化・新構造・新材料の使用が目につく」としている。中でもキャパシタ用新材料の研究開発は、困難を極めたことが良く知られている (西岡 (2000))。以下では、門外漢の語りで申し訳ないが、このキャパシタ材料の事例を中心に提起して、日本型の垂直統合型企業が一企業内に閉じた形で研究開発を進めていくことの大きな限界が 1990 年代後半に訪れたことを実感してみたい。

なお、今から振り返ればちょっと恥ずかしい後付け話であるが、1990 年代半ばでも日本流 DRAM 開発モデルとして内外の経営学者や経済学者の賞賛の的であった “Sashimi-Slice Model” (Okimoto 他 (1994)) が日本勢の典型的な開発パターンであった。Sashimi-Slice Model とは、例えば、開発部隊と製造部隊から成る 64K ビット開発が量産に向けて 4 年スパンで開始されたとする。そうすると 2 年後には、次の 256K ビット開発を 64K ビ

<sup>39</sup> 従来型の虫の足のような突起 (リード線) が何本も縦横に出ている形状のパッケージに DRAM チップを載せて包み込むというスタイルではなく、文字通りチップの上にリード線を張って包み込む革新的なスタイルの実装技術。日立では 16M ビットで使われ始めたと言う。なお、筆者が購入した IBM 製の 4M ビット DRAM (1991 年) 分析結果には、既に LOC が使われていたことが示されていた。この点は、共同研究者の橋本哲一氏に御指摘いただいた。

ット開発と重複する形で開始し、64K ビット開発・量産が終わる頃にこの部隊が 1M ビットのプロジェクトを開始する、といったパターンの開発方式のことである。Okimoto 他 (1994) は東芝の事例について解説しているが、日立の場合も、当時、中央研究所とデバイス開発センターの間でこの“Sashimi-Slice Model”が回されていた。ところが、このような旧来の開発方式は、4 倍・4 倍の世界を前提としていたので、2 倍・2 倍の世界に相変化した 64M ビットから 128M ビットの時期になるとたちまちのうちに機能しなくなった。誠に失礼な表現で申し訳ないが、日本勢は、“関ヶ原の戦い”に旧式の“微細加工時代”向きの R&D システムで挑んでいたということではないだろうか・・・。

DRAM には、既に 1990 年代前後になると、Moore の法則に従って微細化をすすめることの限界が現れた。その時期は、MPU がトランジスタ電極（ゲートと呼ばれる）で同じ限界に直面し世界規模での本格的な対話と連繫（C&C）が一般化した時期よりも約 10 年も早かったことになる（詳しくは中馬(2011)参照）。DRAM にいち早く微細化の限界が訪れた本質的な理由は、DRAM の場合、トランジスタのオン・オフに応じて 0, 1 のデジタルデータ（電荷）を蓄えるためキャパシタと呼ばれる蓄電デバイスに起因した。このキャパシタに蓄えなければならない電荷量は、微細化が Moore の法則にしたがって急速に進んで行ったにもかかわらず、16M ビット DRAM 以降は一定に保持しなければならなくなったのである（Sharma(2003)、133 頁の表 3.1 参照）。その結果、DRAM の先行者利益を得るにはキャパシタを制しなければならぬといった状況になった。

より専門的な説明で申し訳ないが、キャパシタは、特定の絶縁膜を上下の電極で挟み込むような構造になっている。そして、このキャパシタに蓄えることのできる電荷量（ $Q_s$ ）は、下記の式にしたがって決まることが良く知られている（角南（2008）参照）。

$$Q_s = V_s \times \text{定数} \times A \times \epsilon_0 / t$$

$V_s$  : 信号電圧、 $A$  : キャパシタ電極の面積、 $t$  : 絶縁膜の厚さ、 $\epsilon_0$  : 絶縁膜の比誘電率

上記の比誘電率とは、他の条件を一定とした場合の物質の電気を通さない程度を示したもので High-k (ハイケー) とも呼ばれる。上述のように、16M ビット以降の DRAM では微細化しても  $Q_s$  を一定値以上に保たなければならなくなった。そのための選択肢は、この式から明らかなように、a) DRAM の動作電圧を上げる<sup>40</sup>、b) キャパシタ電極の面積を増やす、c) キャパシタ絶縁膜を薄くする、d) より高い比誘電率を持つ材料 (High-k 材料) をキャパシタ絶縁膜として利用する、の 4 つだった。そして、64M ビット DRAM では、先ほどの「多層化・立体化・新構造・新材料」という表現が示すように、4 つの全ての選択肢に工夫が必要になったのである。中でも、High-k 材料を利用して安定した絶縁膜を形成するという選択肢の難度が極めて高かった（西岡(2000)）。

もちろん、そのような厳しい状況は、Samsung に代表される韓国勢にとっても同じであった。では、先の Samsung に大きな先行者利益をもたらした 128M ビット DRAM や 256M ビット DRAM では、そのような厳しさがどのような形で克服されたのであろうか？それを知るための最も確実な方法は、当時の Samsung 製 DRAM の電子顕微鏡写真を使った解析結果を手に入れることである。それらは、幸いにも、カナダの Chipworks 日本支社等の御厚意により破格の値段で入手することができた。<sup>41</sup> そこで明らかになったのは、上記 b) に関連したキャパシタ電極を 2～3 倍ほどまで大きくする HSG と呼ばれる NEC 発の画期的な技術が使われていた、という事実である。

<sup>42</sup> より具体的には、Samsung は、HSG を 1998 年の 64M ビット量産品に NEC とほぼ同時期、しかも、同社にやや

<sup>40</sup> ただし、実際には、“誘電率と絶縁破壊電界の関係においては、理論的に  $-1/2$  乗の関係があり、高い誘電率では絶縁破壊電界が低下するので、低電圧で使う必要がある。”（角南(2008)、87 頁）

<sup>41</sup> そのために、経済産業研究所（経産省）と科学技術政策研究所（文科省）からの予算を使わせていただいた。

<sup>42</sup> それらの写真を元日立中央研究所の主幹研究員で筆者の共同研究者でもある橋本哲一氏に分析していただいた（詳しくは、中馬・橋本(2007)参照）。なお、当時の新聞報道によれば、NEC は、Samsung と 1994 年 2 月に 256MbDRAM セルに関する共同開発に合意、さらに 96 年 3 月には製造技術の共同研究に合意している。また、16M ビット SDRAM についても同じような形の共同研究が行われた。

先んじる形で適用した。また、以前の筆者の共同研究者である橋本哲一氏（元日立中央研究所主幹研究員）によれば、1998年のSamsung製64MビットDRAMには、公開されている1992年発売のSamsung製64MビットDRAMで使用されたプロセス技術をベースにして、NECから技術導入したHSG技術がほぼそのまま追加される形で適用されていた。<sup>43</sup> そして、この1998年の64MビットDRAMに対して、より一段と進んだ微細化技術を適用する形で128Mビット品が製造された。<sup>44</sup> このような意味で、Samsungの128Mビット品での先行は、明らかにマーケティング力によるものだったと言える。しかも、前述のように、Samsungは、この時期にはもの造りの質と量の双方でも日本勢より有利になっていた。

さらに驚くのは、Samsungが1998年に導入した256MビットDRAMと同等品と思われる製品についてのChipworksの分析結果である。そこには、IBMが1989年に初めて公開したCMP（化学的研磨法：Chemical Mechanical Polishing）と呼ばれる革新的な平坦化技術が使用されていたのである。<sup>45</sup> そのことは、微細化に有利なSTI（浅溝素子分離：Shallow Trench Isolation）と呼ばれるトランジスタ等の素子を分離する高度な技術が使われており、素人の筆者にも容易に分かる。ちなみに、日本勢によるCMP技術の導入はなかなか進まず、日立製DRAMでも、同社の技術の粋を集めて1999年に製品化した64MビットDRAMで初めて量産適用された。<sup>46</sup>

ただし、上記の1999年の日立製64MビットDRAMは、当時他社の追従を許さなかった五酸化タンタルと呼ばれるHigh-k絶縁膜が20年近いR&Dの成果として世界で初めて量産適用された極めて先進的なものであった。<sup>47</sup> つまり、この時期、日立はキャパシタを確実に制していた。ところが、この先進プロセス技術に対しても、Samsungは、早くも1999年のIEDM（著名なプロセス技術関連の国際会議）で開発成功を報告している（日経マイクロデバイス2000年1月号）。さらに2000年のIEDMになると、Samsungが当時次世代のHigh-k材料だった酸化アルミニウム（Al<sub>2</sub>O<sub>3</sub>：アルミナ）を使ったHigh-k膜で一步先んじることとなった（日経マイクロデバイス2000年11月号）。しかも、アルミナの次の酸化ハフニウム（HfO<sub>2</sub>）でもSamsungが世界に先んじることとなった。<sup>48</sup>

このようなSamsung先行の理由をより深く探るために、関連の米国特許を調べてみた。より具体的には、このアルミナや酸化ハフニウムをHigh-k膜として利用する頃からフィンランドの物理学者であるTuomo Suntola博士が生み出したALD（Atomic Layer Deposition）と呼ばれる原子層を堆積させる形の極めて斬新な装置が使われるようになった点に注目した。<sup>49</sup> 分析の詳細は紙幅の都合で紹介できなくて残念だが、ALD関連のUS特許8369件の共発明者に基づくネットワーク分析結果によれば、SamsungとSuntola氏設立のMicrochemistry社ならびに同社を特許共々2000年頃に買収したオランダASM社の研究開発者達を共同発明者とする特許は2000年頃から出

---

さらに、90年代前半にマイクロンとも販売・生産提携契約を交わした。

<sup>43</sup> C.H. Tung 他（2003, 381頁）によれば、HSG技術は既存プロセスとの親和性が良いため、元のデバイスの構造や製造プロセスをほとんど変更することなく電極の表面積を2-3倍に大きくすることができる。

<sup>44</sup> Chipworksの分析によれば、Samsung製第一世代の64MビットDRAMには0.35ミクロン技術が、第二世代の64Mビット品と第一世代の128Mビット品には0.25ミクロン技術が使われている。

<sup>45</sup> CMP技術導入前は、相当に匠的な技能・技能を要する平坦化技術（特にSOG：Spin-on GlassとREB：Resist-Etchback技術）が不可欠であった。ところが、CMP導入により、そのような技術・技能が不要になった。また、CMPによって理想的な平坦度が得られるようになったことは、製造以外の所でも大きな便益をもたらした。その一つは、プロセス技術全体を、より詳細にモジュールに分割できるようになったことである。その結果、設計・製造上の自由度が格段に向上した（角南（2006））。

<sup>46</sup> 例外はIBMと緊密な関係にあった東芝（製品導入は1996年）だった。ただし、東芝製汎用DRAMは、256Mビットで市場から消えていった先の角南先生考案のトレンチ型と呼ばれるものだった。現状も支配的なDRAMは、同じく日立の小柳光正教授（現東北大学）考案のスタック型と呼ばれるものである。

<sup>47</sup> 日立が量産化に成功したタンタル酸化膜を使ったキャパシタ絶縁膜に関しては、日本人研究開発者を中核とした20年近くの長い試行錯誤が必要であった（西岡（2000））。

<sup>48</sup> この点に関しては、先の角南英夫先生に直接教えていただいた。その後の関係者への聞き取りによれば、Samsung社の1999年の開発成功は、おそらく日立国際経由で購入されたCVD装置システムが大きな引き金になっていたと思われる。

<sup>49</sup> フィンランド発のALDによって、初めてHigh-k膜が本格的に量産適用できるようになったことは良く知られている。なお、ALDの開発には材料分野の専門家との対話と連携（C&C）が不可欠であり、実際にもSuntola氏とヘルシンキ大学の専門家達との緊密なコラボが行われた。この点は、筆者がフィンランドで実施したSuntola氏と当時の材料工学分野での中心人物であるヘルシンキ大学のNiinisto教授への聞き取りに基づく。詳しくは、<http://www.sci.fi/~suntola/Presentations/2004%20HY,%2030%20years%20of%20ALD.pdf>を参照されたい。なお、Suntola氏の存在は、筆者独自の特許ネットワーク分析から浮かび上がってきた。

始めている。<sup>50</sup> しかも、Samsung と ASM-Microchemistry との関係は、この様なネットワーク関係の中で飛び抜けて稠密であった。そのことを反映するように、1996-2006 年の間の ALD 関連 US 特許（出願+登録）を集計してみると表 4 のようになっていた。この値は、エルピーダの合併元の NEC と日立分を入れてもほとんど変わらない。この表は、“Sashimi-Slice Model” に象徴されるスタンドアロン（孤立）型で R&D を進めてきた日本勢が、2000 年以降になって世界の叡智を活用するネットワーク型の Samsung やマイクロロンに太刀打ちできなくなっていた状況をハッキリと物語っている。

表4:ALD関連US特許の推移(エルピーダ、マイクロロン、Samsung)

	1996	1997	1998	1999	2000	2001	2002	2003	2004	2005	2006	合計
ELPIDA	0	0	0	0	0	2	0	4	0	24	27	57
MICRON	1	4	6	3	86	81	194	147	203	58	29	812
SAMSUNG	0	9	11	7	19	70	97	137	135	134	150	769

では、マイクロロンは、どのようにして先の 64M ビット DRAM に象徴される難所を克服したのだろうか？Micron の DRAM では、同じく Chipworks の分析結果を見ると、既に 1997 年 2 月の段階で、既に同社の 16M ビット DRAM で NEC より 1 年前に独自の HSG 技術が量産適用され、同時に、CMP を使った浅溝素子分離 (STI) も導入されている。また、HSG の特許出願でも NEC とほぼ並んでいた。実際、NEC が HSG に関して日本特許出願したのは 1989 年（登録 1996 年）、米国特許出願が 1991 年（登録 1994 年）だったが、マイクロロンは、HSG 関連の米国特許を NEC よりも先の 1990 年 1 月に申請している。しかも、IEDM での発表も、1990 年 12 月に NEC と同じセッションで行っている。

加えて、マイクロロンは、このような最先端プロセス技術を最先端ではなく一世代前のデバイスに適用するというユニークな戦略を採った。そこに一般向け PC 用の莫大な潜在需要があったからである。そして、日本勢は、ここでもマイクロロンのマーケティング力に太刀打ちできなかった。事実、16M ビット DRAM の出荷量は、1997 年と 1998 年が各々 21 億 140 万個 (対前年比 2.2 倍) と 21 億 930 万個 (対前年比 1.0 倍) と史上最高を記録するが、99 年には対前年比で 0.55 倍と下落した (SEMICO (2003))。そして、日本勢は、この市場でもマイクロロンのマーケティング力に太刀打ちできなかった。その結果、当時の日本で“マイクロロンショック”という言葉が流行ったほどコストパフォーマンスに優れた製品で日本勢を蹴散らした。このように、日本勢は、先行者利益をねらった前門の虎の Samsung と量産利益をねらった後門の狼のマイクロロンに挟み撃ちされる形になった。

特許や関連論文の分析を行うと、マイクロロン内で HSG 関連の開発を担う中心人物は、Pierre Fazan 氏（1989 年にローザンヌ（スイス連邦）工科大学で物理学の Ph. D. 取得、現 Innovative Silicon 社 CEO）であったことが直ちに判明する（詳しくは Chuma and Hashimoto (2010) 参照）。しかも、Fazan 氏を支える IEDM 関連論文共著者達や US 特許の共発明者達を見ると、特に目立つのが、今や High-k 膜研究で世界的に著名なテキサス大学オースチン校の Jack Lee 教授（韓国出身）と Dim-Lee Kwong 教授（台湾出身、現在はシンガポール国立大学）ならびに彼らを支える院生やポスト・ドクター達の活躍であった。しかも、マイクロロンは、HSG 関連で同業他社を圧倒する 823 件 (1989-2005 年) の HSG 関連米国特許を公開・登録しているが、その内の 694 件（総特許数の 84%）の特許に 3 名の元 IBM 出身者が絡んでいた。<sup>51</sup>

<sup>50</sup> 対話と連繫 (C&C) の様子は、Samsung 単独あるいは ASM-Microchemistry 単独の特許に両社の研究開発者達が相互に含まれている事実によってはじめて判明する。共有特許が含まれていないからである。

<sup>51</sup> ちなみに、Samsung の HSG 関連の米国特許出願も、NEC と同じ 1991 年 (NEC が 3 月で Samsung が 10 月) とかなり素早かった。しかも、この米国特許には、元々の NEC の日本出願特許が参照されている。これに対して、日立の HSG 関連米国特許出願は、Samsung よりさらに一年超遅れて 93 年 12 月となっている。この辺りには、日立の自社固有技術にこだわって HSG の採用を遅らせた NIH (Not-Invented-Here) 症候群が現れていた可能性が高い。さらに、1989 年から 2005 年にわたって重複のない形で集計した HSG



マイクロンの対話と連携 (C&C) のすごさは、HSG よりも CMP の技術により顕著に表れている。CMP 技術は、IBM が 80 年代初頭より秘蔵してきたキーテクノロジーとして有名である。同社は、その有用性を、1989 年の IEDM ではじめて公開した。IBM は、この虎の子の CMP 技術を 1987 年に Intel、1988 年にマイクロンにライセンス供与する (Perry (1998))。IBM 歴史録 ([http://www-03.ibm.com/ibm/history/history/year\\_1989.html](http://www-03.ibm.com/ibm/history/history/year_1989.html)) によれば、IBM は、この頃にマイクロンとのメモリに関する共同研究開発も開始している。日米半導体協定下において米国半導体メーカーの間にあった挙国一致志向の強さを物語る逸話でもある。

加えて、マイクロンによる CMP 関連特許の公開・登録数 (3133 件:1989-2005 年) は、本家本元の IBM の 2030 件を遙かに上回っていた。また、それらの特許で興味深い点は、マイクロン CMP 関連トップテン発明者のうち、実に 7 名が (IBM、Philips、Intel、Mostek、Kodak 等の) 米欧メーカーの出身者達と推定される点である。さらに、他社経験のないマイクロン社員と類推されるトップテン内の 2 名も、IBM、Texas Instruments、Motorola、Applied Materials などと共同発明や共同研究を頻繁に行っている (詳しくは Chuma and Hashimoto (2010) 参照)。このように、日本勢は、この時期マイクロンそのものと戦っていたのではなく、全米 DRAM 連合と戦っていたのである。

以上のように、技術開発のクロックスピードという点でも、自前技術にこだわってきたスタンドアロン型の日本勢では、とても追従できない時代がやってきていた。つまり、現在と同じく、当時も、既に自社の R&D システムをサブシステムとして包摂するより上位の R&D システムに関する的確な知識と、そのような上位システムの中で自らの R&D システムを第三者的な視点から位置づける“メタ認知能力”が必須の時代になっていたのである。

#### 4. むすびに代えて：何をなすべきなのだろうか？

これまで、汎用 DRAM ビジネスに徹底的にこだわる形で日本勢盛衰の要因を検討してきた。そして、その背景として、汎用 DRAM 市場のみならず、DRAM のデバイス構造、生産システム、R&D システムのいずれにも既存競争領域での汎用品 (Commodity) 化とその領域よりもワンランク・ツーランク抽象度の高まった新領域での付加価値獲得競争が発生してきた諸事実を確認した。そして、日米半導体協定下で栄華の春を迎えていた日本勢は、1995 年末からの DRAM 価格大暴落に象徴された多段階競争・淘汰<sup>52</sup>の厳しい洗礼を不意に浴びることとなった。中でも、DRAM の構造に関しては IBIS に象徴されるシステム化実装技術、生産システムに関しては米国発のリーン・アーキテクチャに基づく汎用 MES の出現、R&D システムに関しては世界の叡智を活用するネットワーク型 R&D システムのインパクトが強烈であった。

もちろん、そのような多段階競争・淘汰の荒波は、世界の半導体産業が市場・製品構造・生産及び R&D システムの幅と深さの拡大や複雑化に対処するための不可欠な変化だった。ところが、日本勢は、この急激な変化に直面してなす術もなく立ち往生してしまった。より具体的には、それらの複雑性軽減の常套手段である市場・製品構造・生産及び R&D システムの抽象度の不連続的な増大の衝撃に不感応のまま、新次元の競争に旧来の事業・組織戦略で対応し続けた。

その結果、1995 年の DRAM 価格大暴落に端を発した新次元の市場のクロックスピードについて行けなくなった。同じような後れは、十八番 (おはこ) だったもの造りのシステムや優れた自社技術を誇ったスタンドアロン型の R&D システムにも発生した。そして、1995 年を境にわずか 5 年ほどでほとんどの日本勢があっという間に汎用 DRAM の世界の表舞台から退場していった。しかも、残念ながら、このような新次元の競争に非感応的な傾向は、依然として大きな変化が見られないまま続いている。95 年危機への起死回生策として日本勢が世界に先駆け

---

関連の発明者数 = “研究者数”を導出・比較してみると、Samsung・186 名、マイクロン・126 名、NEC・32 名、日立・36 名と圧倒的な差がついていた。このような研究開発人員の差も、NEC や日立が、HSG 量産化のスピードで Samsung やマイクロンに劣後してしまった重要な理由の一つだと思われる。

<sup>52</sup> 多段階競争・淘汰に関しては Bowles 他 (2011) 第 4 章、Nowak (2011) 第 4 章を参照。

て打ち出したシステム LSI（現在の SoC）の時代が、2000 年前後で予想通り世の趨勢となったにもかかわらず、である。そして、関係者であるか否かにかかわらず、存亡の危機に直面している日本の半導体産業、あるいはこの産業を包み込む電機・電子産業の再復活を望む人々が年を追うたびに数多くなっている。

では、以上のような分析結果に基づいて、どのような「我々に予見することを得させる」ポアンカレの一般化（類似性の指摘）が可能となるのだろうか？最後に、この難問に取りかかってみたい。

上記のような日本勢凋落傾向に関する“類型化された事実”が正しいとすると、そもそも、なぜ日本勢は相変化の潮目に気づくのが相対的に遅れてしまいがちなのか？と問いかけることが自然である。この間に答えるには、まず、この様な現状が出現するに至った本質的な要因の理解が早道だと考えられる。それらの中で最も現状の日本勢にとって逆風となっている要因は、第三次産業革命の原動力であるデジタル化が社会にもたらした未曾有の衝撃をなかなか活かせないという点に尽きると思われる。では、そもそもデジタル化は、どのような衝撃をわれわれの社会に与えているだろうか？それは、Zuboff(1984)が四半世紀以上も前に見事に看破した「あらゆる事柄を自動化する(automate)」、「あらゆる事柄を一目瞭然化する(informate)」の二つである。この中の前者はとてもポピュラーであるが、その社会への衝撃の大きさを考えると、後者こそ極めて本質的だと考えられる。

デジタル化（その本質としてのモジュール化）は、「あらゆる事柄の一目瞭然化」を極めて迅速かつ安価に行えるようにする。具体的には、それが半導体デバイスであろうと企業・組織であろうと、階層内の情報の正確な抽象化と階層間情報の明瞭・迅速な遡及を可能とする。「あらゆる事柄を自動化する」プロセスをもメタで記録する「あらゆる事柄を一目瞭然化する」という威力によって、部分と全体の関係や部分間の代替・補完関係が、大勢の人々に高い解像度で見えるようになる。つまり、「メタ認知の大衆化」が起こる。<sup>53</sup> しかも、個々人や個々のグループが試行錯誤によって獲得した成果がコピー&ペーストによって社会全体にたちまち広がっていく。言い換えれば、“社会実験の経済”や“社会学習の経済”とも呼べる便益が、多くの人々に広汎に、しかも素早く波及していく。その衝撃の大きさは、経済学者が好む“規模の経済”や“範囲の経済”など遠く霞んでしまうほどである。本論の汎用 DRAM ビジネス分析は、日本勢が“社会実験の経済”も“社会学習の経済”も十分に享受できなかったことを伝えている。

では、なぜ日本勢は、デジタル化のもたらした一目瞭然化便益をなかなか活かせないのだろうか？これまで日本勢は、実践的な知識をもつ最前線の人々（“men on the spot”（Hayek（1945））に“変化と異常”の処理を大きく委ねる仕組みによって世界を席卷してきたのではなかったのか？Roland Barthes（ロラン・バルト、1970）が『記号の国』で喝破したように、日本勢は、本来、結果ではなくプロセスを一目瞭然化して楽しむ得難い国民性<sup>54</sup>を保有しているのではないか！そのような『記号の国』の人々が、なぜ ICT の最大の便益である一目瞭然化便益を享受できないのか？極めて不思議である。そして、ここで思い出されるのが第二節で紹介した Watts(2003、第9章)の深い階層構造を持つ旧来の垂直統合型企業では、トップダウン方式での情報伝達速度は早い情報混雑が発生しやすいボトムアップ方式での伝達速度が遅くなる、という指摘である。そして、そのことは、前者の速度が元々遅い“おまかせ型”の日本勢の場合、さらに致命的となる。このままでは、自律分散型システムの優位性がさらに急拡大していく中、特定アーキテクチャ内でのスペック探索のみならずアーキテクチャ探索自体も迅速かつ適切に行えるはずはない。それでは、なぜボトムアップ方式での伝達速度が遅くなっているのか？

ここでとても気になり始めるのは、「そもそも“あらゆる事柄を一目瞭然化する”は、トヨタ生産方式(TPS)の本質ではないか？しかも、TPSは、デジタル化が社会の趨勢となる遙か以前から、一目瞭然化するための創意工夫とそれらを用いた組織イノベーションを継続的に実施してきたのではないか？」という点である。いわゆる

<sup>53</sup> 「メタ認知の大衆化」が起こると、経営層と一般社員、生産者と消費者、政府と国民、都会と地方、医者と患者、老人と若者、働き手の夫と専業主婦、等々のあらゆる境界を破壊していく。

<sup>54</sup> バルトは、形式的な言葉自体には余り重きを置かず、言葉自体が自分に呼び起こすイメージ自体に楽しみを見出す点を驚きを持って様々な日本文化に言及しながら指摘している。

トヨタ流“見える化”の威力である。とすると、日本（半導体）勢は、未だ TPS の本質を把握できていないのではないだろうか？極めてアイロニカルであるが、もしそれが真だとすると、米国という”社会反射鏡”に跳ね返ってきて世界に拡散していった TPS は、日本（半導体）勢のもの造りシステムだけではなく、事業・経営システムの競争力をも弱体化させてきたのではないだろうか？<sup>55</sup> 以下では、日本（半導体）勢の反感を招く可能性がとても高いが、上記の類推がほぼ真であることを確認してみたい。そして「何をなすべきなのだろうか？」は、誠に遅ればせながら、モジュール・システムアーキテクチャとしての TPS の本質の把握とその実践ではないだろうか？と問いかけてみたい。

半導体産業における事業・組織経営の難しさは、将来の不確実性が大きな状況下で巨大投資をしなければならぬために“待ち戦略”が望ましいが、市場のクロックスピードが極めて速いため“今が旬戦略”（Time-To-Market）が命である、という相矛盾する特徴にある。このような状況下で経済学は、リアル・オプション（意思決定の選択権や自由度：Real Options）をできるだけ残しておく戦略の有用性を説く（例えば、Dixit 他(1994)参照）。しかも、戦略を構成する各オプションがきめ細かくて独立性の高いモジュールとして設定されていればいるほど、したがって、妥当なモジュール・アーキテクチャが実現されていればいるほどリアル・オプション戦略の有用性が高まる（Baldwin 他（2000））。リアル・オプションの想定内のみならず想定外の転用が可能となるからである。さらに、リアル・オプションが豊富になればなるほど、大勢の人々が、現実には起きている様々な現象を簡単に、しかも豊かな表現で文脈化（Contextualization）できるようになる。その結果、コミュニケーションツールとしての（共通）言語の表現力の高まりにより、対話と連繫（C&C）の幅と深さが拡大する。さらに、C&S の幅と深さの拡大は各自の考察の系をも拡大させるので、自らの振る舞いや立ち位置に関する新たなメタ情報を獲得できるようになる。

上記のような“待ち戦略”と“今が旬戦略”の二律背反状況に直面する半導体産業に対して、TPS は、リアル・オプション戦略実行のための基本原則を教えてくれる。実際、TPS は、①（ムリ・）ムダ（・ムラ）を回避する、②学習効果を高める、③決定をできるだけ遅らせる、④できるだけ早く提供する、⑤チームに権限を与える、⑥統一性を造り込む、⑦全体を見る、の7つの必要性を強調する。<sup>56</sup> この中で、③は事前柔軟性を表し、④は事後柔軟性を表すものであるが、双方共に将来の不確実性を高めながら刻々と変化していく事業環境の変化に柔軟に対応する上で極めて重要な意味を持っている。なかでも、最もトヨタ生産方式の本質を捉えているのは、③の「決定をできるだけ遅らせる」<sup>57</sup>という原則である。たしかに、決定を最後の最後まで遅らせてしまうと、完成のために必要な時間的余裕がなくなるので、ビジネスチャンス逃してしまう。ところが、将来の不確実性が大きい状況下では最後まで待てば待つほど相応しいスペックを見出すことができる。実際、早々とスペックを決めて見切り発車してしまうと、取り返しのつかない事態に陥る危険性が高まる。つまり、半導体産業にとって、決め打ちこそが、もっとも危ない。そのような危険性を軽減するためには、④の「できるだけ早く提供する」という原則にしたがうことが不可欠である。決定の実行速度が早ければ早いほど、ギリギリまで待つ余裕を持てるからである。このように考えれば、TPS とは、半導体産業における事業・組織経営に不可欠なリアル・オプション戦略そのものなのである。

TPS の本質は、それだけに留まらない。まさにモジュール・アーキテクチャそのものであり、しかも、広義の意味でのシステム・アーキテクチャなのである。そう解釈が可能であることを確認してみよう。まず、①ムダ・ムラ・ムリを回避していけば、製品やそれらを生み出す生産システム・R&D システムには、ちょっとやそっとの環境変化にはビクともしない頑健性が組み込まれる。ところが、そのような環境の変化に対する頑健性は、保守

<sup>55</sup> そのバイブル的な教科書が、Womack 他(1990)である。

<sup>56</sup> ここでは TPS として『Lean Software Development: Agile Toolkit』（Poppendieck 他（2003））に明示されている7原則を取り出している。この本については、京都大学の林晋氏に紹介していただいた。

<sup>57</sup> 通常の TPS では③が「後工程引き取り」、④が開発・生産リードタイム短縮に相当する。

性に繋がりがやすい。その結果、現状にロックインされてしまう傾向が生まれ、イノベーションを阻害すらしてしまう。そのようなトラップ（罠）に陥らないためには、ムダ・ムラ・ムリを回避する自らの行動をワンランク上の視点から眺め、その行動の方向性や進化可能性について認知する必要がある。そのためには、結果の見える化だけでなく、プロセスの見える化が必須となる。そこで強調されるのが、⑥統一性を造り込みながら⑦全体を見る（⇔システム全体を一目瞭然化する）である。その際に特に大切にするのが、⑤チームに権限を与えることと②学習効果を高めること（⇔メタ認知の大衆化を可能なかぎり尊重すること）である。

そうすれば、異なる才能や知識を持つ人々がより多く参加できるので、多様な人々の洞察をクラウド的な社会反射鏡を通じて集合知に自己組織化する有効な方法を獲得可能となる。「それは、組織の構成員自らが、研究対象とすべき現象の参加者となり、同時にまた観察者ともなることを示唆している。」（Johnson 他（2002）、257頁）。そして、モジュール・アーキテクチャに基づくクラウド型の事業・組織経営システム、そこで生まれるメタ認知の大衆化、社会実験・社会学習の経済便益の大幅増大、そういうプラスのフィードバック効果が組み込まれている社会や会社、そういうことがなかなかできにくい社会や会社、両者が戦うとすると、後者はまるで竹槍で機関銃に挑むような戦いになるはずである。

このように、半導体産業が直面する二律背反状況の打開には、“灯台もと暗し”だったのかもしれないが、日本発のトヨタ生産方式が参考になる可能性がとても高い。半導体産業は、最先端工場建設のために5000億～1兆円も要するような時代になり、世界でも数社しかそういう投資ができなくなっている。だから、もしかしたら、このような状況は今後の10年で大きく様変わりして、現状とは大きく異なる半導体産業ができていくかもしれない。その時点では、IntelやSamsungの独壇場ではなくなっているかもしれない。従って、このような相変化が刻々と生じてくるような時代においては、先ほどの事前柔軟性と事後柔軟性とを合わせもったTPS的な事業・組織経営の重要性がさらに増していくだろう。しかも、そのような事業・組織経営が、企業レベルのみならず、国レベル、あるいは国境を跨いだ形で達成できていないとなかなかクロックスピードの速い経済環境の変化に適應していけない。半導体産業は、なんとも大変な産業になってしまったものだ。

#### 参考文献

- ・ Baldwin, Carlis Y. and Kim B. Clark (2000), *The Design Rules: The Power of Modularity Vol. 1* (安藤晴彦訳『デザイン・ルール：モジュール化パワー』、東洋経済新報社)、MIT Press.
- ・ Barthes, Roland (1970), *L'Empire Des Singes* (石川美子訳『記号の国』)、みすず書房
- ・ Bowles, Samuels and Herbert Gintis (2011), *A Cooperative Species: Human Reciprocity and Its Evolution*, Princeton University Press
- ・ Burgelman, A. Robert (2002) *Strategy is Destiny: How Strategy-Making Shapes A Company's Future* (石橋善一朗・宇田理訳『インテルの戦略：企業変貌を实践した戦略形成プロセス』、ダイヤモンド社)
- ・ Chuma, Hiroyuki and Norikazu Hashimoto (2010), "Limits of Organization: The Modern Significance of Japanese Chipmakers' Commodity DRAM Business," in Itami, Hiroyuki, Ken Kusunoki, Tsuyoshi Numagami, and Akira Takeishi (ed) *Dynamics of Knowledge, Corporate Systems, and Innovation*, pp.209-245
- ・ Chuma, Hiroyuki (2006), "Increasing complexity and limits of organization in the microlithography industry: implications for science-based industries," *Research Policy*, vol. 35, pp.394-411
- ・ 中馬宏之(2007)、「日本の半導体生産システムの競争力弱化要因を探る：Papert's Principle の視点から」、

認知科学、Vol. 14, No. 1, pp. 39-59

- ・ 中馬宏之(2002)、「UMC ジャパンの強さを分析：半導体版『トヨタ生産方式』を实践か」、『日経マイクロデバイス』, 2002 年 12 月号, 64-71 頁.
- ・ 中馬宏之(2011)、「半導体産業における国際競争力低下要因を探る：ネットワーク分析の視点から」、経済研究、第 62 卷、第 3 号、224-240 頁
- ・ D'Souza, Desmond Francis and Alan Cameron Wills (1998), *Objects, Components, and Frameworks With UML: The Catalysis Approach*, Addison-Wesley Publishing.
- ・ Dixit, K. Avinach (1994), *Investment under Uncertainty*, Princeton University Press
- ・ Fine, H. Charlesh (2000), *Clockspeed: Winning Industry Control in the Age of Temporary Advantage*, Perseus Books
- ・ Friedman, L. Thomas (2005), *The World Is Flat: A Brief History of the Twenty-first Century Updated and Expanded Edition*, International Creative Management Inc.
- ・ 藤本隆宏・武石彰・青島矢一編(2001)、『ビジネス・アーキテクチャ：製品・組織・プロセスの戦略的設計』、有斐閣
- ・ Gawer Annabelle and Michael A. Cusumano (2002), *Platform Leadership: How Intel, Microsoft, and Cisco Drive Industry Innovation* (小林敏男訳『プラットフォーム・リーダーシップ—イノベーションを導く新しい経営戦略』有斐閣), Harvard Business School Press
- ・ Gawer, Annabelle and Rebecca Henderson (2007), "Platform Owner Entry and Innovation in Complementary Markets: Evidence from Intel," *Journal of Economics & Management Strategy*, Vol. 16, No. 1, pp.1-34.
- ・ Giddens, Anthony (1990), *The Consequences of Modernity*, Stanford University Press
- ・ Goyal, Revender (1994) "Managing Signal Integrity," *IEEE Spectrum*, March, pp.54-58
- ・ Hayek, A. Friedrich (1945), "The Use of Knowledge in Society," *American Economic Review*, Vol. 35, No. 4, pp. 519-530.
- ・ 日野三十四 (2002)、『トヨタ経営システムの研究：継続的成長の原理』、ダイヤモンド社
- ・ Hopp, J. Wallace and Mark L. Spearman (2008), *Factory Physics* 3rd Edition, McGraw-Hill
- ・ Integrated Circuit Engineering (ICE) Corporation (1997), *Cost Effective IC Manufacturing 1998-1999*, <http://smithsonianchips.si.edu/ice/cd/CEICM/title.pdf>
- ・ 伊佐治弘 (2001)、「ウェーハ搬送の自動化の現状：半導体工場の自動化の概要」、Break Through 11 月号、No.184, サイベック社、(<http://www.realize-at.jp/items/bt/184.pdf>)
- ・ Itoh, Kiyoo (2001), *VLSI memory chip design*, Springer-Verlag.
- ・ 伊藤清男 (2000), 『超 LSI メモリ』. 培風館.
- ・ Jonson, H. Thomas and Anders Broms (2001), *Profit Beyond Measure: Extraordinary Results through Attention to Work and People* (邦訳『トヨタはなぜ強いのか—自然生命システム経営の真髄』、日本経済新聞社)、Free Press
- ・ 小池 和男・中馬 宏之・太田 聡一 (2001)、『もの造りの技能—自動車産業の職場で』(東洋経済新報社)
- ・ Lancaster, J. Kelvin (1966), "A New Approach to Consumer Theory," *Journal of Political Economy*, Vol. 74, No. 2, pp.132-157
- ・ Leachman C. Robert and C., David A. Hodges (1996), "Benchmarking SEMICOnductor Manufacturing," *IEEE Transactions on SEMICOnductor Manufacturing*, vol.9, No.2, pp.158-169.
- ・ Leachman, C. Robert, Jeenyoungh Kang, and Vincent Lin (2002), "SLIM: Short cycle time and low inventory

- in manufacturing at Samsung Electronics,” *Interfaces*, vol. 32 No. 1, pp. 61-77.
- Leonovich, George (1994), “An approach for optimizing WIP/Cycle Time/output in a SEMICOnductor fabricator,” *Proceedings IEEE/CPMT International Electronics Manufacturing Technology Symposium*
  - Lipman, Jim (1996), “EDA tools accelerate high speed pc board design,” *EDN (Electronics Design, Strategies, News)*, March 28 (<http://www.edn.com/archives/1996/032896/07df2.htm>)
  - Lojek, Bo. (2007), *History of SEMICOnductor engineering*, Springer-Verlag.
  - Lineback, Rob, Bill McClean, Brian Matas, and Trevor Yancey (2012), *The McCLEAN REPORT 2014: A Complete Analysis and Forecast of the Integrated Circuit Industry*, IC Insights
  - Scott Mueller (2012), *Upgrading and Repairing PCs*, 20th edition, Que Publishing
  - 中川功一(2011)、『技術革新のマネジメント：製品アーキテクチャによるアプローチ』、有斐閣
  - Daniel Nenni and Paul McLellan (2014), *Fabless: The Transformation of the SEMICOnductor Industry*, SemiWili.com LLC
  - 西岡泰城 (2000)、「酸化タンタル膜」、深水克郎・久末圭介編『次世代 ULSI プロセス技術』(リアライズ社)に所収、264-272 頁
  - 西村吉雄 (2014)、『電子立国は、なぜ凋落したか』(日経 BP 社)
  - Nowak, A. Martin (2011), *SuperCooperators: altruism, evolution, and why we need each other to succeed*, Free Press
  - Ohno, Yoshihiro, Masayuki Miyoshi, Norio Yamada, Toshihiko Odaka, Tokinori Kozawa, and Kooichiro Ishihara (1994), “Principles of Design Automation System for Very Large Scale Computer Design,” 23rd Design Automation Conference, pp. 354-359
  - Okimoto, I. Daniel and Yoshio Nishi (1994), “R&D Organization in Japanese and American SEMICOnductor Firms,” in Masahiko Aoki and Ronald Dore (ed) *The Japanese Firm: Sources of Competitive Strength*, Clarendon Press, pp.178-208
  - Poppendieck, Marry and Poppendieck, Tom (2003), *Lean Software Development: An Agile Toolkit* (平鍋健児・高嶋優子・佐野建樹訳『リーンソフトウェア開発～アジャイル開発を実践する 22 の方法～』、日経 BP 社), Addison-Wesley Pub.
  - Poincare, Henri (1902), *La Science et l’Hypothese* (河野伊三郎訳『科学と仮説』、岩波書店)
  - Schumpeter, A. Joseph (1935), *The Theory of Economic Development*, Oxford University Press
  - SEMICO Research. (2003, July). DRAM by design: Comprehending DRAM life cycles. Report Number VM113-03.
  - Sharma, K. Ashok (2003), *Advanced SEMICOnductor Memories: Architectures, Designs, and Applications*, IEEE Press, Wiley-Interscience
  - 柴田友厚・玄場公規・児玉文雄 (2002)、『製品アーキテクチャの進化論：システム複雑性と分断による学習』(白桃書房)
  - 庄司和良・前田真一 [2009]『伝送線路シミュレーションモデル IBIS ガイドブック-IBIS スペックオフィシャル日本語版-』(工業調査会)
  - Simon, A. Herbert (1962), “The architecture of complexity,” *Proceedings of the American Philosophical Society*, vol. 106, no. 6, pp.467 482
  - Sperber, Dan. and Deirdre Wilson (1999). *Relevance: communication and cognition* (内田聖二・宋南先・中達俊明・田中圭子訳『関係性理論：伝達と認知 (第 2 版)』、研究社), Blackwell Publishing
  - Suh, Num P. (2001), *Axiomatic Design: Advances and Applications* (The Oxford Series on Advanced

- Manufacturing), Oxford University Press.
- ・ 角南英夫(2006)、『VLSI 工学：製造プロセス編』（コロナ社）
  - ・ 角南英夫(2008)、『半導体メモリ』（コロナ社）
  - ・ Ulrich, T. Karl (1995), "The role of product architecture in the manufacturing firm," *Research Policy*, vol. 24, no. 3. pp.419 440
  - ・ United States General Accounting Office (1992), *FEDERAL RESEARCH: SEMKTECHs Technological Progress and Proposed R&D Program*.
  - ・ VLIS Research (1988), *Industry Overview*, Report No. 1101119AB1
  - ・ Watts, J. Duncan (2003), *Six Degrees: The Science of A Connected Age*, William Heinemann
  - ・ Winograd, Terry and Fernand Flores (1986), *Understanding Computers and Cognition: A New Foundation for Design* (平賀譲訳『コンピュータと認知を理解する：人工知能の限界と新しい設計理念』、産業図書)
  - ・ Womack, P. James, Daniel T. Jones and Daniel Roos (1990), *The Machine that Changed the World*, Free Press
  - ・ 矢野和男 (2014)、『データの見えざる手：ウェアラブルセンサが明かす人間・組織・社会の法則』（草思社）
  - ・ Zaltman, Gerald (2003), *How Customers Think* (藤川佳則・阿久津聡訳『心脳マーケティング：顧客の無意識を解き明かす』、ダイヤモンド社), Harvard Business School Press
  - ・ Zaltman, Gerald and Lindsay Zaltman (2008), *Making Metaphoria: What Deep Metaphors Reveal About The Minds of Consumers*, Harvard Business Press
  - ・ Zuboff, Shoshana (1984), *In the Age of the Smart Machine: The Future of Work and Power*, Basic Books.
  - ・ Zuboff, Shoshana and James Maxmin (2002), *The Support Economy: Why Corporations are Failing Individuals and the Next Episode of Capitalism*, Penguin Books